SXA018

Dual-Channel 14-Bit, 2.6 GSPS A/D Converter

双通道 14 位 2.6GSPS A/D 转换器

14-bit | 2 channels | 2.6 GSPS | BGA196 | JESD204B
14位 | 双通道 | 2.6GSPS | BGA196 | JESD204B

对标 / Cross Reference: AD9689 — pin-to-pin compatible alternative

Product Datasheet / 产品数据手册

Shenzhen Shenxin Technology Co., Ltd. · 深圳市深信科技有限公司

felix@shenxinic.com | +852 51367095 | shenxinic.com

SXA018

SXA018 型 14 位双通道 2.6GSPS A/D 转换器

SXA018 14-Bit Dual-Channel 2.6GSPS A/D Converter

产品说明书 / 使用手册 — Product Specification / User Manual

Shenzhen Shenxin Technology Co., Ltd. / 深信科技

对标 / Cross Reference: AD9689 — pin-to-pin compatible alternative

版本 Version V1.20260727

目录 / Table of Contents

- 产品用途及应用范围 / Product Purpose and Application Scope
- 标准 / Standards
- 产品特点 / Product Features
- 产品描述 / Product Description
- 产品外形图和实物图片 / Product Outline Drawing and Physical Pictures
- 引出端排列（俯视图）/ Pin Arrangement (Top View)
- 引出端功能符号表 / Pin Function Symbol Table
- 绝对最大额定值 / Absolute Maximum Ratings
- 推荐工作条件 / Recommended Operating Conditions
- 性能指标 / Performance Specifications
- 主要特性曲线图（电特性测试图）/ Key Characteristic Curves (Electrical Test Plots)
- 典型应用线路图 / Typical Application Circuit
- 单元模块及工作原理 / Unit Modules and Operating Principles
- 1 差分输入端口 / Differential Input Ports
- 2 基准电压源 / Voltage Reference
- 3 时钟端口 / Clock Ports
- 4 掉电/待机模式 / Power-Down/Standby Mode
- 5 温度二极管 / Temperature Diode
- 6 ADC 失调校准 / ADC Offset Calibration
- 7 快速阈值检测(FD_A 和 FD_B) / Fast Threshold Detection (FD_A and FD_B)
- 8 上电复位配置 / Power-On Reset Configuration
- 9 多芯片同步设置 / Multi-Chip Synchronization Setup
- 10 ADC 应用模式和 JESD204B Tx 转换映射 / ADC Application Modes and JESD204B Tx Converter Mapping
- 11 数字下变频器(DDC) / Digital Downconverter (DDC)
- 12 数字输出 / Digital Output
- 13 寄存器说明 / Register Description

- 电源地间保护 / Power-to-Ground Protection
- 注意事项 / Precautions
- 1、产品安装注意事项 / Product Installation Precautions
- 2、产品使用注意事项 / Product Usage Precautions
- 3、产品防护注意事项 / Product Protection Precautions
- 4、电装说明 / Assembly Instructions
- 5、热阻 / Thermal Resistance
- 常见故障及处理办法 / Common Faults and Troubleshooting
- 联系方式 / Contact Information
- 附加说明 / Additional Notes

版本修订记录 / Revision History

版本号 / Version	发布日期 / Release Date	更改章节 / Changed Section	更改说明 / Change Description	备注 / Remarks
V1.20260727	20260727	——	首次发布 / Initial release	

产品用途及应用范围 / Product Purpose and Application Scope

The SXA018 is intended for use in the following applications:

SXA018 适用于以下应用：

- 多模数字接收机 / Multi-mode digital receivers
- 软件无线电 / Software-defined radio
- 卫星接收器 / Satellite receivers
- 仪器仪表 / Instrumentation

标准 / Standards

Quality grade: enterprise standard.

质量等级：企标

产品特点 / Product Features

- Dual-channel 14-bit 2.6GSPS A/D converter.
- 双通道 14 位 2.6GSPS A/D 转换器
- Supply voltages 1V/1.9V/2.5V.
- 电源电压 1V/1.9V/2.5V
- Integrated DDC and programmable FIR filters.
- 集成 DDC、可编程 FIR 滤波器
- Typical power consumption 3.1W.
- 常态功耗 3.1W
- JESD204B data output interface.

- JESD204B 数据输出接口
- Product weight: 0.84±0.2g.
- 产品重量：0.84±0.2g
- ESD: Class 1B, HBM model 500V.
- ESD：1B 级、HBM 模型 500V

产品描述 / Product Description

The functional block diagram of the SXA018 dual-channel 14-bit 2.6GSPS A/D converter is shown in . The device integrates on-chip buffers and sample-and-hold circuits, and is designed for high bandwidth, small size, and ease of use. The device is designed for sampling wideband analog signals up to 9GHz. The device is optimized for wide input bandwidth, high sampling rate, and excellent linearity.

SXA018 型双通道 14 位 2.6GSPS A/D 转换器的功能框图如所示。该器件内置片内缓冲器和采样保持电路，专门针对高带宽、小尺寸和易用性而设计。该器件设计用于高达 9GHz 的宽带模拟信号采样。该器件针对宽输入带宽、高采样速率、出色的线性度而优化。

This dual-channel ADC core uses a multi-stage, differential pipelined architecture with integrated output error-correction logic. Each ADC has wideband inputs supporting user-selectable input ranges. An integrated voltage reference simplifies the design. Both the analog inputs and the clock signal are differential inputs. Using the ADC's fast-detect output bits, a programmable threshold detector can monitor input signal power. If the input signal level exceeds the programmable threshold, the fast-detect indicator goes high. Because this threshold indicator has extremely short latency, the user can quickly reduce system gain, thereby avoiding overrange at the ADC input.

这款双通道 ADC 内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个 ADC 均具有宽带宽输入，支持用户可选的各种输入范围。集成基准电压源可简化设计。模拟输入和时钟信号均为差分输入信号。利用 ADC 的快速检测输出位，可编程阈值检测器可以监控输入信号功率。如果输入信号电平超过可编程阈值，快速检测指示器就会变为高。由于该阈值指示器的延迟极短，因此用户能够快速调低系统增益，从而避免 ADC 输入端出现超量程现象。

The user can configure the Subclass 1 JESD204B high-speed serial output as 1, 2, 4, or 8 lanes, depending on the DDC configuration and the acceptable lane rate of the receiving logic device. Multi-device synchronization support is provided through the SYSREF± and SYNCINB± input pins; the operating timing is as shown in – Figure 4.

用户能将子类 1 JESD204B 高速串行输出配置为 1、2、4 或 8 通道，具体取决于 DDC 配置和接收逻辑器件的可接受通道速率。通过 SYSREF±和 SYNCINB±输入引脚，可提供多器件同步支持，工作时序如–图 4。

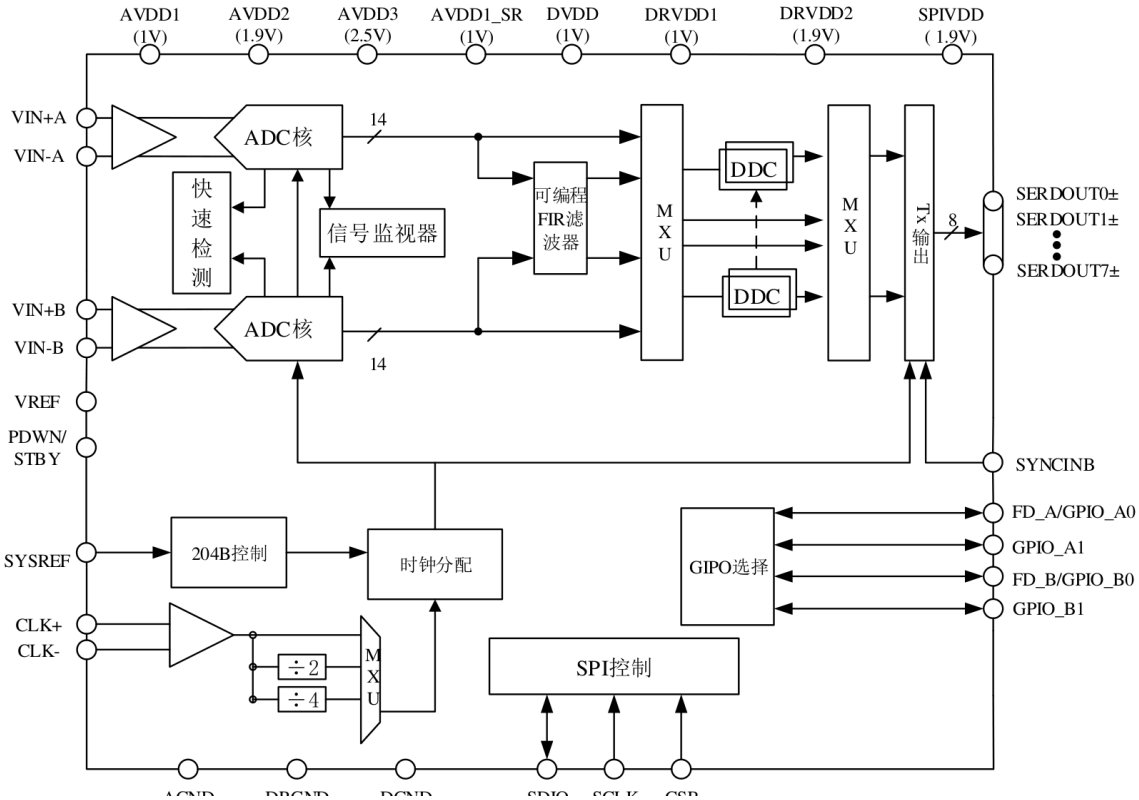


Figure 1: SXA018 功能框图

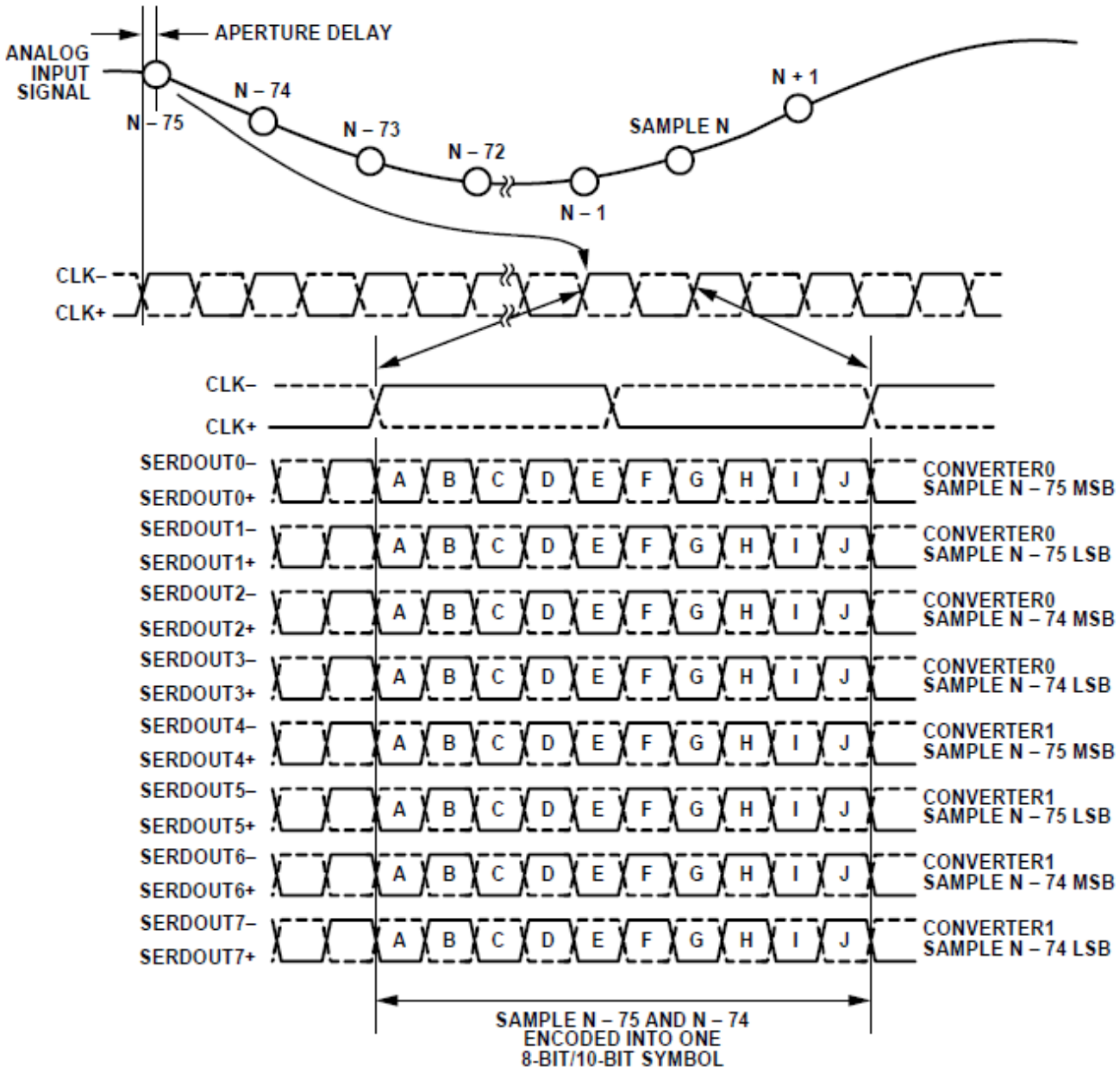


Figure 2: 数据输出时序图

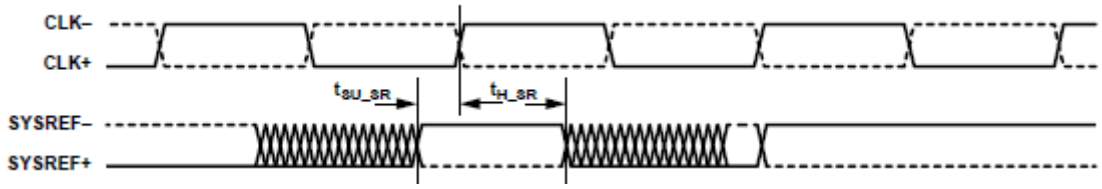


Figure 3: SYSREF±建立保持时间

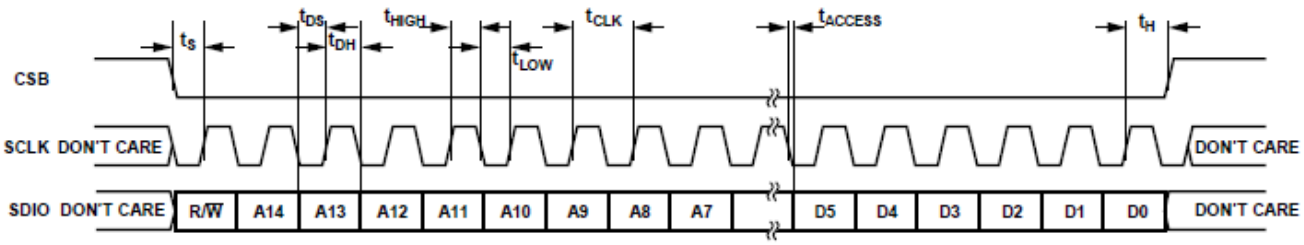


Figure 4: SPI 时序

表1 / Table 1 — 工作时序 / Operating Timing

参数 / Parameter	描述 / Description	最小值 / Min	典型值 / Typ	最大值 / Max	单位 / Unit
CLK+与SYSREF+时序要求 / CLK+ to SYSREF+ timing requirements	参见图3 / See Figure 3				
tSU_SR	器件时钟至SYSREF+建立时间 / Device clock to SYSREF+ setup time	-65			ps
tH_SR	器件时钟至SYSREF+保持时间 / Device clock to SYSREF+ hold time	95			ps
SPI时序要求 / SPI timing requirements	参见图4 / See Figure 4				
tDS	数据与SCLK上升沿之间的建立时间 / Setup time between data and SCLK rising edge	4			ns
tDH	数据与SCLK上升沿之间的保持时间 / Hold time between data and SCLK rising edge	2			ns
tCLK	SCLK周期 / SCLK period	40			ns
tS	CSB与SCLK之间的建立时间 / Setup time between CSB and SCLK	2			ns
tH	CSB与SCLK之间的保持时间 / Hold time between CSB and SCLK	2			ns
tHIGH	SCLK应处于逻辑高电平状态的最短时间 / Minimum time SCLK must remain at logic high	10			ns
tLOW	SCLK应处于逻辑低电平状态的最短时间 / Minimum time SCLK must remain at logic low	10			ns
tACCESS	在写操作中，SCLK下降沿和输出数据正确之间的最大时间延迟 / Maximum time delay between SCLK falling edge and valid output data in a write operation		6	10	ns
tDIS_SDIO	相对于SCLK上升沿，SDIO引脚从输出状态切换到输入状态所需的时间 / Time required for the SDIO pin to switch from output to input state relative to the SCLK rising edge	10			ns

产品外形图和实物图片 / Product Outline Drawing and Physical Pictures

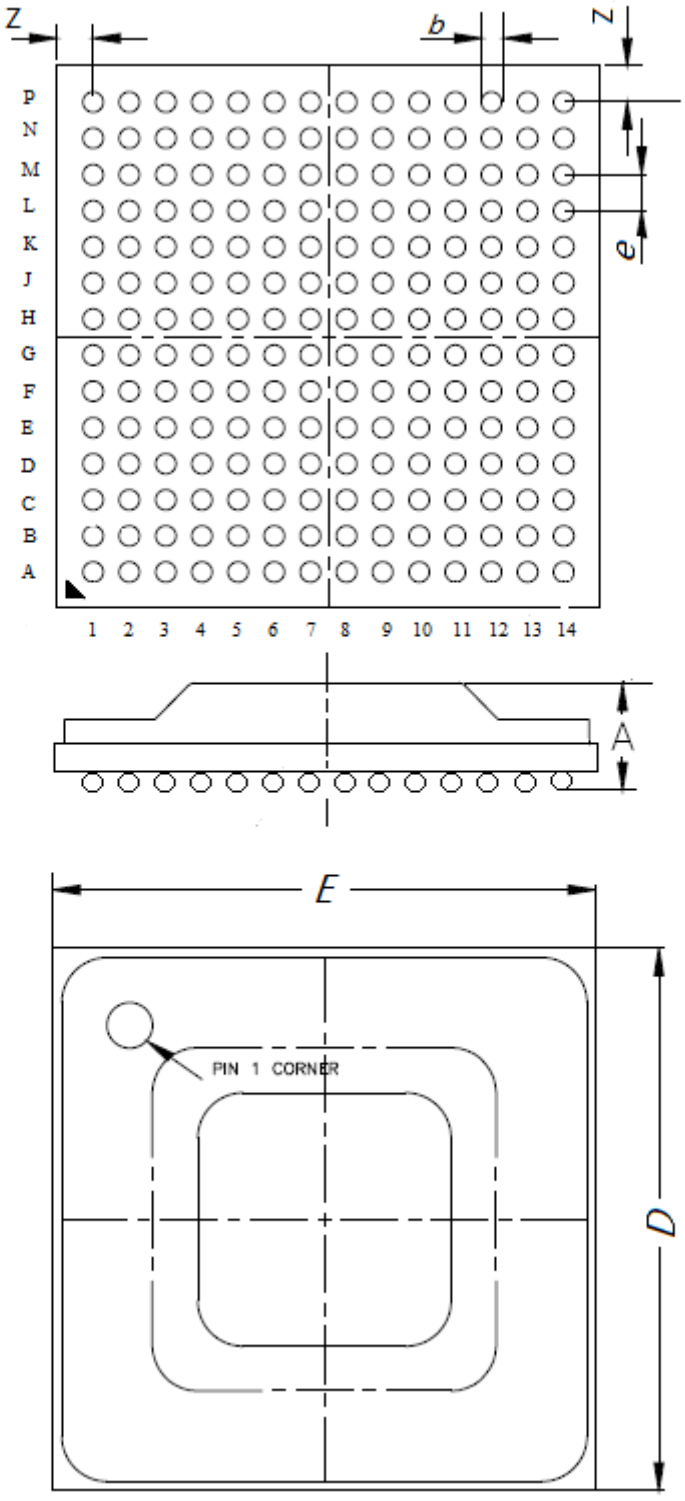


Figure 5: 外形图

表2 / Table 2 — 封装尺寸（单位为毫米）/ Package Dimensions (Unit: mm)

尺寸符号 / Dimension Symbol	最小 / Min	公称 / Nominal	最大 / Max
A	—	1.82[a]	2.20

尺寸符号 / Dimension Symbol	最小 / Min	公称 / Nominal	最大 / Max
D	11.60	12[a]	12.40
E	11.60	12[a]	12.40
b	—	0.45[a]	—
e	—	0.8[a]	—
Z	—	—	1.50

[a] 设计保证，不进行考核 / [a] Guaranteed by design, not tested.

引出端排列（俯视图）/ Pin Arrangement (Top View)

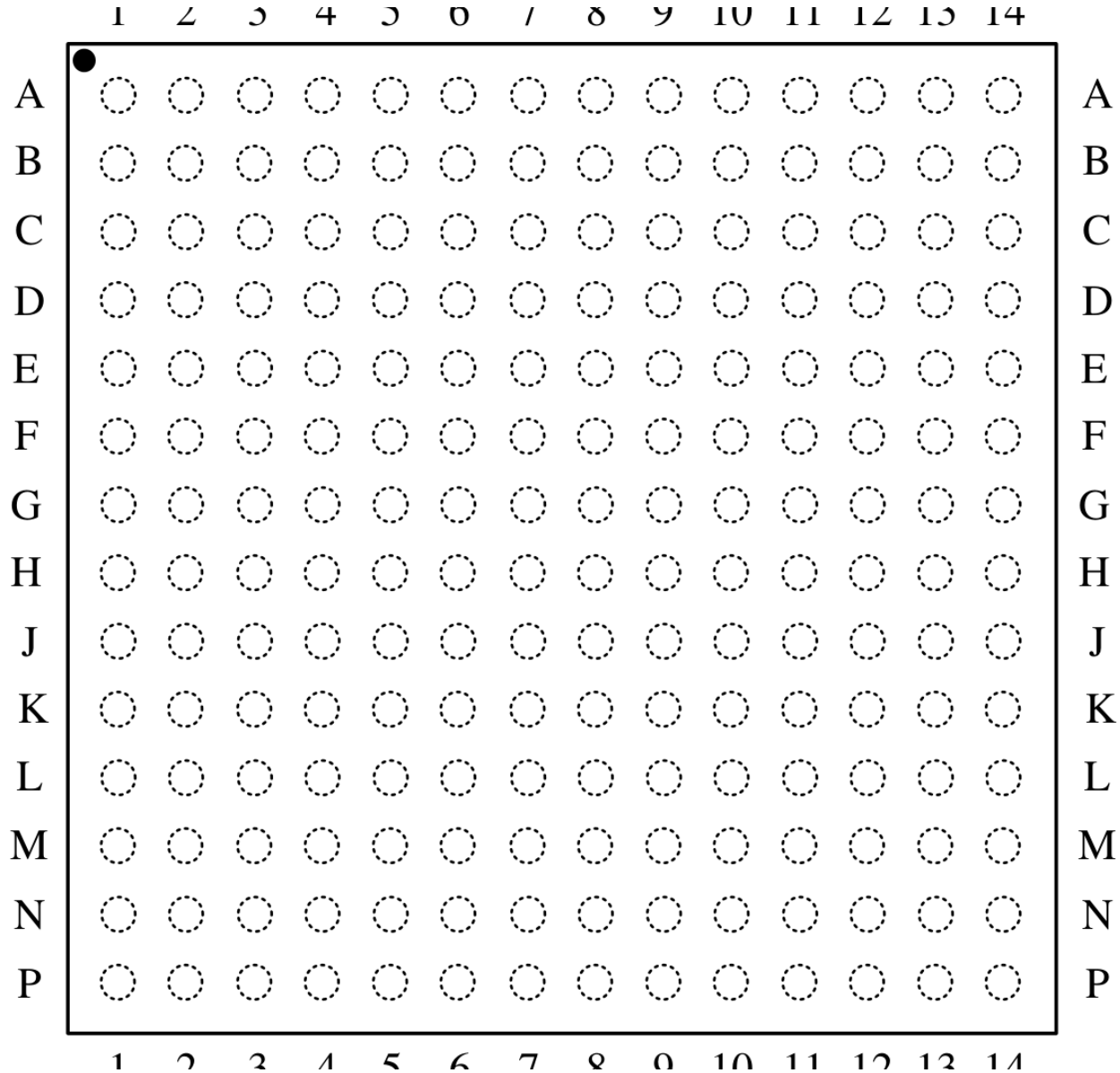


Figure 6: 引出端排列

引出端功能符号表 / Pin Function Symbol Table

表3 / Table 3 — 引出端定义 / Pin Definitions

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
A1	VAVDD2	模拟电源 2 / Analog supply 2	/	H1	AGND	模拟地 / Analog ground	/
A2	VAVDD2	模拟电源 2 / Analog supply 2	/	H2	AGND	模拟地 / Analog ground	/
A3	VAVDD1	模拟电源 1 / Analog supply 1	/	H3	AGND	模拟地 / Analog ground	/
A4	VAVDD1	模拟电源 1 / Analog supply 1	/	H4	AGND	模拟地 / Analog ground	/
A5	VAVDD1	模拟电源 1 / Analog supply 1	/	H5	AGND	模拟地 / Analog ground	/
A6	AGND1	时钟域模拟地 / Clock-domain analog ground	/	H6	AGND	模拟地 / Analog ground	/
A7	CLK+	时钟输入(+) / Clock input (+)	I	H7	AGND	模拟地 / Analog ground	/
A8	CLK-	时钟输入(−) / Clock input (−)	I	H8	AGND	模拟地 / Analog ground	/
A9	AGND1	时钟域模拟地 / Clock-domain analog ground	/	H9	AGND	模拟地 / Analog ground	/
A10	VAVDD1	模拟电源 1 / Analog supply 1	/	H10	VREF	基准电源 / Reference supply	I/O
A11	VAVDD1	模拟电源 1 / Analog supply 1	/	H11	AGND	模拟地 / Analog ground	/
A12	VAVDD1	模拟电源 1 / Analog supply 1	/	H12	AGND	模拟地 / Analog ground	/
A13	VAVDD2	模拟电源 2 / Analog supply 2	/	H13	AGND	模拟地 / Analog ground	/
A14	VAVDD2	模拟电源 2 / Analog supply 2	/	H14	AGND	模拟地 / Analog ground	/
B1	VAVDD2	模拟电源 2 / Analog supply 2	/	J1	AGND	模拟地 / Analog ground	/
B2	VAVDD2	模拟电源 2 / Analog supply 2	/	J2	AGND	模拟地 / Analog ground	/
B3	VAVDD1	模拟电源 1 / Analog supply 1	/	J3	AGND	模拟地 / Analog ground	/
B4	VAVDD1	模拟电源 1 / Analog supply 1	/	J4	AGND	模拟地 / Analog ground	/
B5	AGND	模拟地 / Analog ground	/	J5	AGND	模拟地 / Analog ground	/
B6	AGND1	时钟域模拟地 / Clock-domain analog ground	/	J6	AGND	模拟地 / Analog ground	/
B7	AGND1	时钟域模拟地 / Clock-domain analog ground	/	J7	AGND	模拟地 / Analog ground	/
B8	AGND1	时钟域模拟地 / Clock-domain analog ground	/	J8	AGND	模拟地 / Analog ground	/
B9	AGND1	时钟域模拟地 / Clock-domain analog ground	/	J9	AGND	模拟地 / Analog ground	/
B10	AGND	模拟地 / Analog ground	/	J10	AGND	模拟地 / Analog ground	/
B11	VAVDD1	模拟电源 1 / Analog supply 1	/	J11	AGND	模拟地 / Analog ground	/
B12	VAVDD1	模拟电源 1 / Analog supply 1	/	J12	AGND	模拟地 / Analog ground	/
B13	VAVDD2	模拟电源 2 / Analog supply 2	/	J13	AGND	模拟地 / Analog ground	/

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
B14	VAVDD2	模拟电源 2 / Analog supply 2	/	J14	AGND	模拟地 / Analog ground	/
C1	VAVDD2	模拟电源 2 / Analog supply 2	/	K1	AGND3	隔离地 / Isolation ground	/
C2	VAVDD2	模拟电源 2 / Analog supply 2	/	K2	AGND3	隔离地 / Isolation ground	/
C3	VAVDD1	模拟电源 1 / Analog supply 1	/	K3	AGND3	隔离地 / Isolation ground	/
C4	AGND	模拟地 / Analog ground	/	K4	AGND3	隔离地 / Isolation ground	/
C5	AGND	模拟地 / Analog ground	/	K5	AGND3	隔离地 / Isolation ground	/
C6	AGND1	时钟域模拟地 / Clock-domain analog ground	/	K6	AGND3	隔离地 / Isolation ground	/
C7	AGND1	时钟域模拟地 / Clock-domain analog ground	/	K7	AGND3	隔离地 / Isolation ground	/
C8	AGND1	时钟域模拟地 / Clock-domain analog ground	/	K8	AGND3	隔离地 / Isolation ground	/
C9	AGND1	时钟域模拟地 / Clock-domain analog ground	/	K9	AGND3	隔离地 / Isolation ground	/
C10	AGND	模拟地 / Analog ground	/	K10	AGND3	隔离地 / Isolation ground	/
C11	AGND	模拟地 / Analog ground	/	K11	AGND3	隔离地 / Isolation ground	/
C12	VAVDD1	模拟电源 1 / Analog supply 1	/	K12	AGND3	隔离地 / Isolation ground	/
C13	VAVDD2	模拟电源 2 / Analog supply 2	/	K13	AGND3	隔离地 / Isolation ground	/
C14	VAVDD2	模拟电源 2 / Analog supply 2	/	K14	AGND3	隔离地 / Isolation ground	/
D1	VAVDD3	模拟电源 3 / Analog supply 3	/	L1	DGND	数字地 / Digital ground	/
D2	AGND	模拟地 / Analog ground	/	L2	GPIO_B1	通用 IO 端口 B1 位 / General-purpose I/O port B1	I/O
D3	AGND	模拟地 / Analog ground	/	L3	VSPIVDD	SPI 数字电源 / SPI digital supply	/
D4	AGND	模拟地 / Analog ground	/	L4	FD_B/ GPIO_B0	B 通道快速检测/通用 IO 端口 B0 位 / Channel B fast detect / general-purpose I/O port B0	I/O
D5	AGND	模拟地 / Analog ground	/	L5	CSB	SPI 片选输入端 / SPI chip-select input	I
D6	AGND	模拟地 / Analog ground	/	L6	SCLK	SPI 时钟输入端 / SPI clock input	I
D7	AGND1	时钟域模拟地 / Clock-domain analog ground	/	L7	SDIO	SPI 输入输出端 / SPI input/output	I/O
D8	AGND1	时钟域模拟地 / Clock-domain analog ground	/	L8	PDWN/ STBY	电源关断/休眠端 / Power-down/ standby	I
D9	AGND	模拟地 / Analog ground	/	L9	FD_A/ GPIO_A0	A 通道快速检测/通用 IO 端口 A0 位 / Channel A fast detect / general-purpose I/O port A0	I/O
D10	AGND	模拟地 / Analog ground	/	L10	VSPIVDD	SPI 数字电源 / SPI digital supply	/
D11	AGND	模拟地 / Analog ground	/	L11	GPIO_A1	通用 IO 端口 A1 位 / General-purpose I/O port A1	I/O
D12	AGND	模拟地 / Analog ground	/	L12	DGND	数字地 / Digital ground	/

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
D13	AGND	模拟地 / Analog ground	/	L13	DGND	数字地 / Digital ground	/
D14	VAVDD3	模拟电源 3 / Analog supply 3	/	L14	DGND	数字地 / Digital ground	/
E1	VIN−B	B 通道差分模拟输入(−) / Channel B differential analog input (−)	I	M1	DGND	数字地 / Digital ground	/
E2	AGND	模拟地 / Analog ground	/	M2	DGND	数字地 / Digital ground	/
E3	AGND	模拟地 / Analog ground	/	M3	DRGND	数字驱动地 / Digital driver ground	/
E4	AGND	模拟地 / Analog ground	/	M4	DRGND	数字驱动地 / Digital driver ground	/
E5	AGND	模拟地 / Analog ground	/	M5	VDRVDD1	数字驱动电源 1 / Digital driver supply 1	/
E6	AGND2	SYSREF 域模拟地 / SYSREF-domain analog ground	/	M6	VDRVDD1	数字驱动电源 1 / Digital driver supply 1	/
E7	VAVDD1_SR	SYSREF 域电源 / SYSREF-domain supply	/	M7	VDRVDD1	数字驱动电源 1 / Digital driver supply 1	/
E8	AGND2	SYSREF 域模拟地 / SYSREF-domain analog ground	/	M8	VDRVDD1	数字驱动电源 1 / Digital driver supply 1	/
E9	AGND	模拟地 / Analog ground	/	M9	DRGND	数字驱动地 / Digital driver ground	/
E10	AGND	模拟地 / Analog ground	/	M10	DRGND	数字驱动地 / Digital driver ground	/
E11	AGND	模拟地 / Analog ground	/	M11	VDRVDD1	数字驱动电源 1 / Digital driver supply 1	/
E12	AGND	模拟地 / Analog ground	/	M12	DRGND	数字驱动地 / Digital driver ground	/
E13	AGND	模拟地 / Analog ground	/	M13	VDRVDD2	数字驱动电源 2 / Digital driver supply 2	/
E14	VIN−A	A 通道差分模拟输入(−) / Channel A differential analog input (−)	I	M14	VDVDD	数字电源 / Digital supply	/
F1	VIN+B	B 通道差分模拟输入(+) / Channel B differential analog input (+)	I	N1	VDVDD	数字电源 / Digital supply	/
F2	AGND	模拟地 / Analog ground	/	N2	VDVDD	数字电源 / Digital supply	/
F3	AGND	模拟地 / Analog ground	/	N3	DRGND	数字驱动地 / Digital driver ground	/
F4	AGND	模拟地 / Analog ground	/	N4	SERDOUT7+	通道 7 输出数据(+) / Lane 7 output data (+)	O
F5	AGND	模拟地 / Analog ground	/	N5	SERDOUT6+	通道 6 输出数据(+) / Lane 6 output data (+)	O
F6	AGND	模拟地 / Analog ground	/	N6	SERDOUT5+	通道 5 输出数据(+) / Lane 5 output data (+)	O
F7	SYSREF+	系统参考芯片同步(+) / System reference chip sync (+)	I	N7	SERDOUT4+	通道 4 输出数据(+) / Lane 4 output data (+)	O
F8	SYSREF−	系统参考芯片同步(−) / System reference chip sync (−)	I	N8	SERDOUT3+	通道 3 输出数据(+) / Lane 3 output data (+)	O
F9	AGND	模拟地 / Analog ground	/	N9			O

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
					SERDOUT 2+	通道 2 输出数据(+) / Lane 2 output data (+)	
F10	AGND	模拟地 / Analog ground	/	N10	SERDOUT 1+	通道 1 输出数据(+) / Lane 1 output data (+)	O
F11	AGND	模拟地 / Analog ground	/	N11	SERDOUT 0+	通道 0 输出数据(+) / Lane 0 output data (+)	O
F12	AGND	模拟地 / Analog ground	/	N12	DRGND	数字驱动地 / Digital driver ground	/
F13	AGND	模拟地 / Analog ground	/	N13	SYNCINB+	同步(+) / Sync (+)	I
F14	VIN+A	A 通道差分模拟输入(+) / Channel A differential analog input (+)	I	N14	VDVDD	数字电源 / Digital supply	/
G1	VAVDD3	模拟电源 3 / Analog supply 3	/	P1	VDVDD	数字电源 / Digital supply	/
G2	AGND	模拟地 / Analog ground	/	P2	VDVDD	数字电源 / Digital supply	/
G3	AGND	模拟地 / Analog ground	/	P3	DRGND	数字驱动地 / Digital driver ground	/
G4	AGND	模拟地 / Analog ground	/	P4	SERDOUT 7−	通道 7 输出数据(−) / Lane 7 output data (−)	O
G5	AGND	模拟地 / Analog ground	/	P5	SERDOUT 6−	通道 6 输出数据(−) / Lane 6 output data (−)	O
G6	AGND	模拟地 / Analog ground	/	P6	SERDOUT 5−	通道 5 输出数据(−) / Lane 5 output data (−)	O
G7	AGND	模拟地 / Analog ground	/	P7	SERDOUT 4−	通道 4 输出数据(−) / Lane 4 output data (−)	O
G8	AGND	模拟地 / Analog ground	/	P8	SERDOUT 3−	通道 3 输出数据(−) / Lane 3 output data (−)	O
G9	AGND	模拟地 / Analog ground	/	P9	SERDOUT 2−	通道 2 输出数据(−) / Lane 2 output data (−)	O
G10	AGND	模拟地 / Analog ground	/	P10	SERDOUT 1−	通道 1 输出数据(−) / Lane 1 output data (−)	O
G11	AGND	模拟地 / Analog ground	/	P11	SERDOUT 0−	通道 0 输出数据(−) / Lane 0 output data (−)	O
G12	AGND	模拟地 / Analog ground	/	P12	DRGND	数字驱动地 / Digital driver ground	/
G13	AGND	模拟地 / Analog ground	/	P13	SYNCINB−	同步(−) / Sync (−)	I
G14	VAVDD3	模拟电源 3 / Analog supply 3	/	P14	VDVDD	数字电源 / Digital supply	/

Note: AGND, AGND1, AGND2, AGND3 are grounds of different functional regions inside the device; on the PCB they are all connected to AGND. I denotes an input port, O denotes an output port, and I/O denotes a bidirectional port.

注：AGND，AGND1，AGND2，AGND3 是器件内部不同功能区域的地，PCB 板上同时接到 AGND。I 代表该端口为输入端口、O 代表输出端口、I/O 代表双向端口

绝对最大额定值 / Absolute Maximum Ratings

- Supply voltage (VAVDD1) to AGND: 1.05V.
- 电源电压（VAVDD1）to AGND：1.05V
- Supply voltage (VAVDD1_SR) to AGND_SR: 1.05V.
- 电源电压（VAVDD1_SR）to AGND_SR：1.05V
- Supply voltage (VAVDD2) to AGND: 2.0V.
- 电源电压（VAVDD2）to AGND：2.0V
- Supply voltage (VAVDD3) to AGND: 2.7V.
- 电源电压（VAVDD3）to AGND：2.7V
- Supply voltage (VDVDD) to DGND: 1.05V.
- 电源电压（VDVDD）to DGND：1.05V
- Supply voltage (VDRVDD1) to DRGND: 1.05V.
- 电源电压（VDRVDD1）to DRGND：1.05V
- Supply voltage (VDRVDD2) to DRGND: 2V.
- 电源电压（VDRVDD2）to DRGND：2V
- Supply voltage (VSPIVDD) to DGND: 2V.
- 电源电压（VSPIVDD）to DGND：2V
- AGND to DRGND: -0.3V to 0.3V.
- AGND to DRGND：-0.3V to 0.3V
- AGND to DGND: -0.3V to 0.3V.
- AGND to DGND：-0.3V to 0.3V
- DGND to DRGND: -0.3V to 0.3V.
- DGND to DRGND：-0.3V to 0.3V
- VIN to AGND: AGND-0.3V to VAVDD3+ 0.3V.
- VIN to AGND：AGND-0.3V to VAVDD3+ 0.3V
- CLK to AGND: AGND-0.3V to VAVDD1+ 0.3V.
- CLK to AGND：AGND-0.3V to VAVDD1+ 0.3V
- SCLK, SDIO, CSB to AGND: DGND-0.3V to VSPIVDD+ 0.3V.
- SCLK,SDIO,CSB to AGND：DGND-0.3V to VSPIVDD+ 0.3V
- PDWN/STBY to AGND: DGND-0.3V to VSPIVDD+ 0.3V.
- PDWN/STBY to AGND：DGND-0.3V to VSPIVDD+ 0.3V
- SYSREF to AGND: 2.5V.
- SYSREF to AGND：2.5V
- SYNCINB to AGND: 2.5V.
- SYNCINB to AGND：2.5V
- Storage temperature (Tstg): -55°C~125°C.
- 贮存温度（Tstg）：-55°C~125°C
- Junction temperature (TJ): 120°C.
- 结温（TJ）：120°C

推荐工作条件 / Recommended Operating Conditions

- Supply voltage (VAVDD1) to analog ground (AGND): 1V~1.02V (a: 0.97V~1.02V).
- 电源电压（VAVDD1）到模拟地（AGND）：1V~1.02V（a：0.97V~1.02V）
- Supply voltage (VAVDD1_SR) to analog ground (AGND_SR): 1V~1.02V (a: 0.97V~1.02V).

- 电源电压（VAVDD1_SR）到模拟地（AGND_SR）：1V~1.02V（a：0.97V~1.02V）
- Supply voltage (VAVDD2) to analog ground (AGND): 1.9V~1.95V (b: 1.85V~1.95V).
- 电源电压（VAVDD2）到模拟地（AGND）：1.9V~1.95V（b：1.85V~1.95V）
- Supply voltage (VAVDD3) to analog ground (AGND): 2.5V~2.56V (c: 2.44V~2.56V).
- 电源电压（VAVDD3）到模拟地（AGND）：2.5V~2.56V（c：2.44V~2.56V）
- Supply voltage (VDVDD) to analog ground (DGND): 1V~1.02V (a: 0.97V~1.02V).
- 电源电压（VDVDD）到模拟地（DGND）：1V~1.02V（a：0.97V~1.02V）
- Supply voltage (VDRVDD1) to analog ground (DRGND): 1V~1.02V (a: 0.97V~1.02V).
- 电源电压（VDRVDD1）到模拟地（DRGND）：1V~1.02V（a：0.97V~1.02V）
- Supply voltage (VDRVDD2) to analog ground (DRGND): 1.9V~1.95V (b: 1.85V~1.95V).
- 电源电压（VDRVDD2）到模拟地（DRGND）：1.9V~1.95V（b：1.85V~1.95V）
- Supply voltage (VSPIVDD) to analog ground (DGND): 1.9V~1.95V (b: 1.85V~1.95V).
- 电源电压（VSPIVDD）到模拟地（DGND）：1.9V~1.95V（b：1.85V~1.95V）
- Operating temperature (TC): -40°C~85°C.
- 工作温度（TC）：-40°C~85°C
- a: When the voltage drop from the power supply on the PCB to the device is negligible, the supply voltage may be relaxed downward to 0.97V.
- a：当 PCB 上电源到器件的压降可忽略时，电源电压可往下放宽到 0.97V。
- b: When the voltage drop from the power supply on the PCB to the device is negligible, the supply voltage may be relaxed downward to 1.85V.
- b：当 PCB 上电源到器件的压降可忽略时，电源电压可往下放宽到 1.85V。
- c: When the voltage drop from the power supply on the PCB to the device is negligible, the supply voltage may be relaxed downward to 2.44V.
- c：当 PCB 上电源到器件的压降可忽略时，电源电压可往下放宽到 2.44V。

性能指标 / Performance Specifications

表4 / Table 4 — 性能指标 / Performance Specifications

Conditions (unless otherwise specified): VAVDD1=1V, VAVDD1_SR=1V, VAVDD2=1.9V, VAVDD3=2.5V, VDVDD=1V, VDRVDD1=1V, VDRVDD2=1.9V, VSPIVDD=1.9V, VFS=1.7Vpp, AGND = DGND=DRGND=0V, FS=2600MSPS, -40°C≤TC≤85°C.

条件（除另有规定外）：VAVDD1=1V, VAVDD1_SR=1V, VAVDD2=1.9V, VAVDD3=2.5V, VDVDD=1V, VDRVDD1=1V, VDRVDD2=1.9V, VSPIVDD=1.9V, VFS=1.7Vpp, AGND = DGND=DRGND=0V, FS＝2600MSPS，-40°C≤TC≤85°C。

特性 / Characteristic	符号 / Symbol	条件 / Conditions	最小值 / Min	典型值 / Typ	最大值 / Max	单位 / Unit
分辨率 / Resolution	RES	—		14		Bits
失调误差 / Offset error	EO	—	-1	—	1	%FSR
增益误差 / Gain error	EG	—	-10	—	10	%FSR
AVDD1 电流[a] / AVDD1 current[a]	IAVDD1	—	—	550	790	mA
AVDD2 电流[a] / AVDD2 current[a]	IAVDD2	—	—	690	990	mA
AVDD3 电流[a] / AVDD3 current[a]	IAVDD3	—	—	105	135	mA

特性 / Characteristic	符号 / Symbol	条件 / Conditions	最小值 / Min	典型值 / Typ	最大值 / Max	单位 / Unit
AVDD1_SR 电流[a] / AVDD1_SR current[a]	IAVDD1_SR	—	—	16	50	mA
DVDD 电流[a] / DVDD current[a]	IDVDD	—	—	440	1020	mA
DRVDD1 电流[a] / DRVDD1 current[a]	IDRVDD1	—	—	400	760	mA
DRVDD2 电流[a] / DRVDD2 current[a]	IDRVDD2	—	—	22	40	mA
SPIVDD 电流[a] / SPIVDD current[a]	ISPIVDD	—	—	1	5	mA
功耗 / Power dissipation	PW	—	—	3.1	4.2	W
掉电功耗 / Power-down power	PD	—	—	240	500	mW
信噪比 / SNR	SNR	fIN=255MHz，-2.0dBFS	54	58.5	—	dBFS
		fIN=1.6GHz，-2.0dBFS	52	55	—	dBFS
		fIN=1.8GHz，-2.0dBFS	52	55	—	dBFS
信噪失真比 / SINAD	SINAD	fIN=255MHz，-2.0dBFS	53	58	—	dBFS
		fIN=1.6GHz，-2.0dBFS	51	54	—	dBFS
		fIN=1.8GHz，-2.0dBFS	51	54	—	dBFS
无杂散动态范围 / SFDR	SFDR	fIN=255MHz，-2.0dBFS	56	70	—	dBFS
		fIN=1.6GHz，-2.0dBFS	56	66	—	dBFS
		fIN=1.8GHz，-2.0dBFS	56	66	—	dBFS
双音交调失真 / Two-tone IMD	IMD	fIN1=1.401G，fIN2=1.411G，AIN1 and AIN2=-8dBFS，TC=25°C	—	—	-65	dBFS
		fIN1=1.841G，fIN2=1.851G，AIN1 and AIN2=-8dBFS，TC=25°C	—	—	-65	dBFS
二阶谐波 / Second harmonic	HD2	fIN=255MHz，-2.0dBFS	—	-70	-56	dBFS
		fIN=1.6GHz，-2.0dBFS	—	-66	-56	dBFS
		fIN=1.8GHz，-2.0dBFS	—	-66	-56	dBFS
三阶谐波 / Third harmonic	HD3	fIN=255MHz，-2.0dBFS	—	-70	-56	dBFS
		fIN=1.6GHz，-2.0dBFS	—	-66	-56	dBFS
		fIN=1.8GHz，-2.0dBFS	—	-66	-56	dBFS
有效位数 / ENOB	ENOB	fIN=255MHz，-2.0dBFS	8.5	9.3	—	Bits
		fIN=1.6GHz，-2.0dBFS	8.1	8.6	—	Bits
		fIN=1.8GHz，-2.0dBFS	8.1	8.6	—	Bits
JESD204B Lane 速率 / JESD204B lane rate	fSDATA		—	13	13	Gbps
JESD204B Lane 通道数 / JESD204B lane count	L		—	8	8	Lane
CSB 逻辑 1 电压 / CSB logic 1 voltage	VIH,CSB		1.2	1.2	—	V

特性 / Characteristic	符号 / Symbol	条件 / Conditions	最小值 / Min	典型值 / Typ	最大值 / Max	单位 / Unit
CSB 逻辑 0 电压 / CSB logic 0 voltage	VIL,CSB		—	0.6	0.6	V
SCLK 逻辑 1 电压 / SCLK logic 1 voltage	VIH,SCLK		1.2	1.2	—	V
SCLK 逻辑 0 电压 / SCLK logic 0 voltage	VIL,SCLK		—	0.6	0.6	V
SDIO 逻辑 1 电压 / SDIO logic 1 voltage	VIH,SDIO		1.2	1.2	—	V
SDIO 逻辑 0 电压 / SDIO logic 0 voltage	VIL,SDIO		—	0.6	0.6	V
时钟输入频率 / Clock input frequency	fclk		—	2600	2600	MHz
采样频率 / Sampling frequency	FS		—	2.6	2.6	GSPS

[a] 未纳入产品规范，为生产时内部控制指标 / [a] Not included in the product specification; internal production control metrics.

主要特性曲线图（电特性测试图）/ Key Characteristic Curves (Electrical Test Plots)

1. Spectrum under fS=2.6GHz, fIN=255MHz conditions.

1、fS=2.6GHz，fIN=255MHz 条件下频谱图

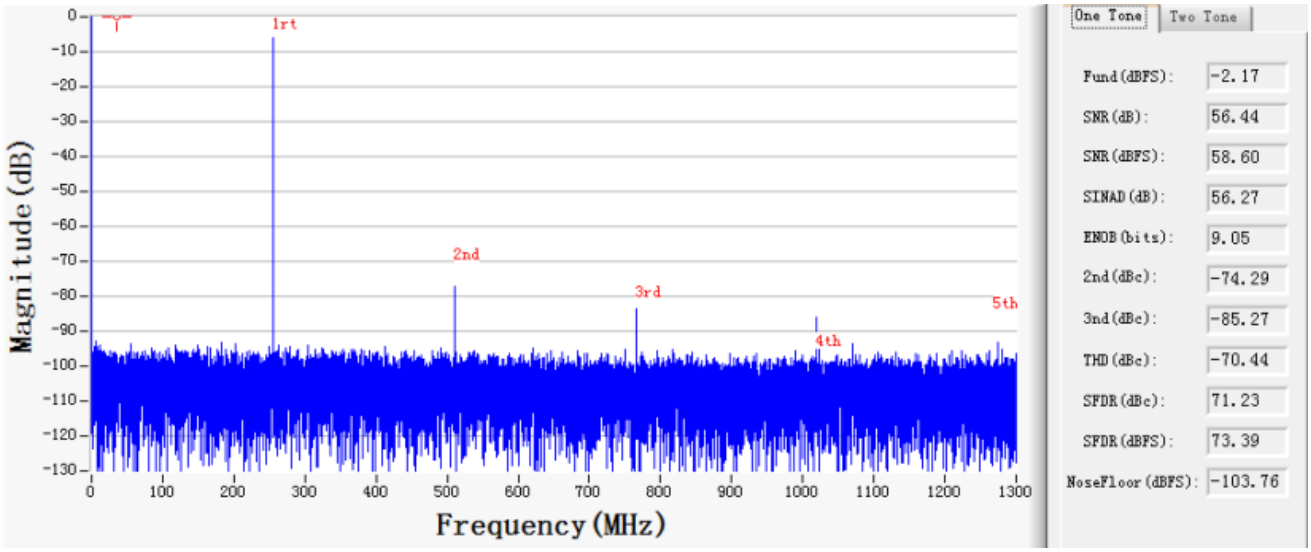


Figure 7: fCLK=2.6GHz，fIN=255MHz FFT 谱线

1. Spectrum under fS=2.6GHz, fIN=1.8GHz conditions.

2、fS=2.6GHz，fIN=1.8GHz 条件下频谱图

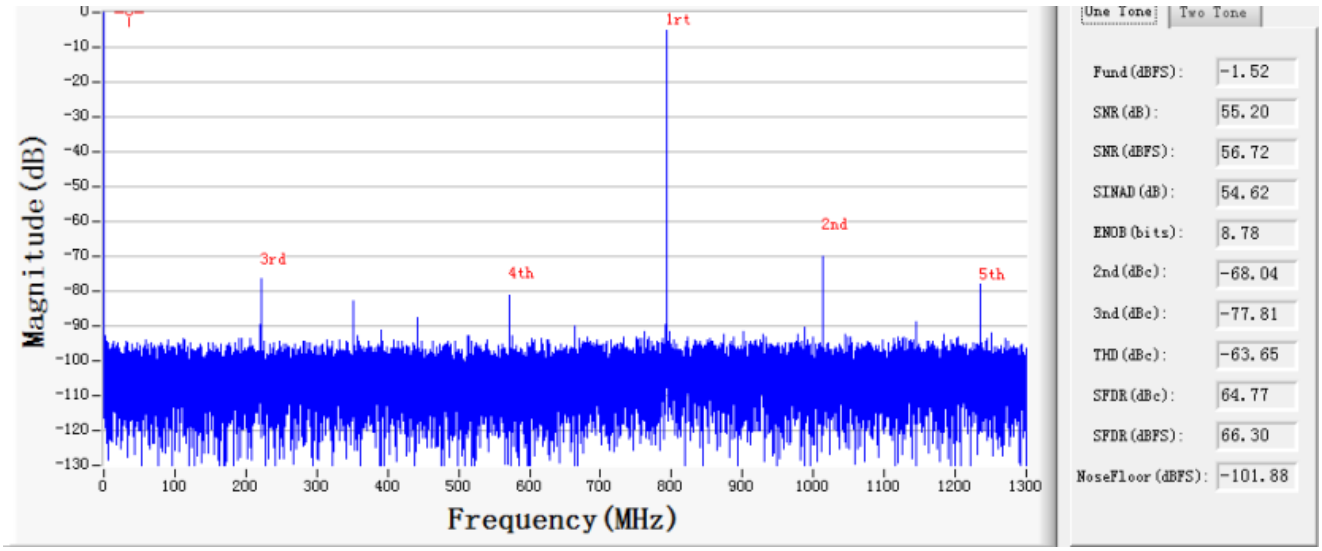


Figure 8: fCLK=2.6GHz，fIN=1.8GHz FFT 谱线

典型应用线路图 / Typical Application Circuit

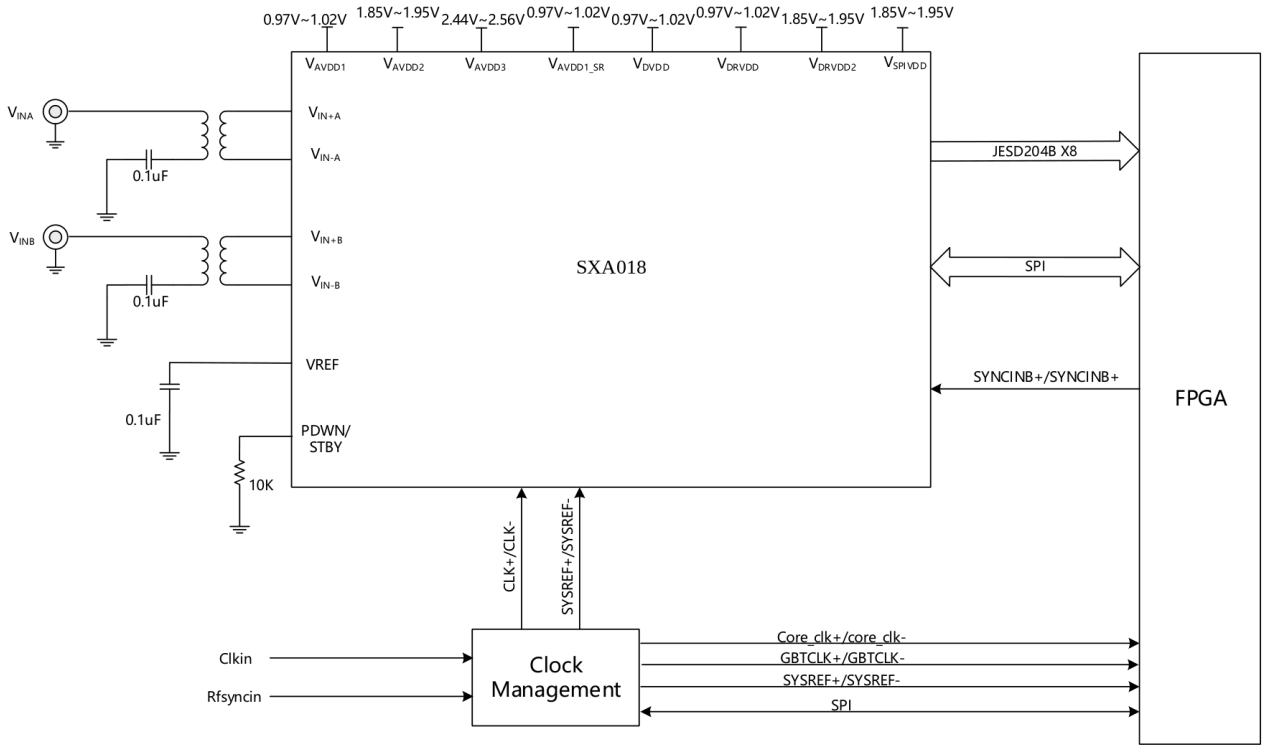


Figure 9: 典型应用线路图

单元模块及工作原理 / Unit Modules and Operating Principles

1 差分输入端口 / Differential Input Ports

The equivalent circuit of the analog input ports is shown in Figure 10, designed to provide a 200Ω termination impedance for the analog input signals. The input buffer provides high input impedance and reduces kickback noise from the ADC. The common-mode voltage of the SXA018 analog input ports is

approximately 1.4V. The clock signal alternately switches the input circuit between sample mode and hold mode. A differential capacitor or two single-ended capacitors can be placed at the input to provide a matched passive network; this configuration ultimately creates a low-pass filter at the input, limiting unwanted wideband noise. For best dynamic performance, the impedances driving VIN+x and VIN−x must be matched so that common-mode settling errors are symmetric.

模拟输入端口的等效电路如图 10 所示，旨在为模拟输入信号提供 200Ω 终端阻抗。输入缓冲器提供高输入阻抗，并减少来自 ADC 的回踢噪声。SXA018 模拟输入端口共模电压约为 1.4V。时钟信号在采样模式和保持模式之间交替切换输入电路。可以在输入端放置一个差分电容或两个单端电容，以提供匹配的无源网络，此配置最终会在输入处创建一个低通滤波器，从而限制不需要的宽带噪声。为了获得最佳的动态性能，驱动 VIN＋x 和 VIN-x 的阻抗必须匹配，以使共模稳定误差是对称的。

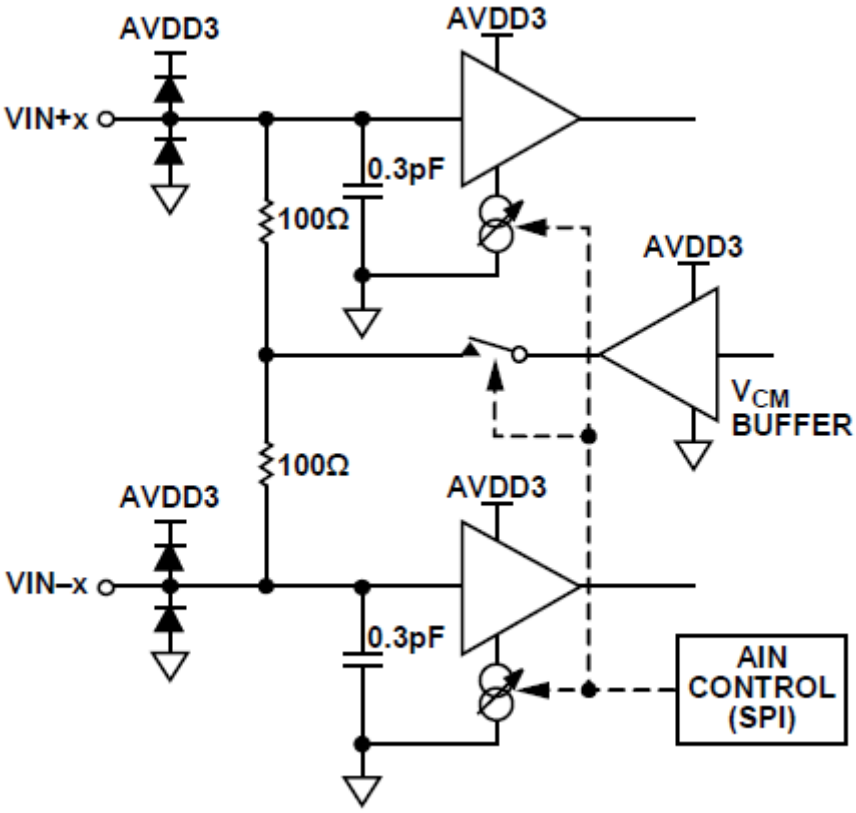


Figure 10: 模拟输入终端等效电路图

Driving the analog inputs differentially achieves the best performance. 1) For applications where SNR and SFDR are critical parameters, the recommended input configuration is differential transformer coupling. 2) For low IF, a dual-balun or dual-transformer network is recommended for best performance. 3) For higher frequencies in the second or third Nyquist zones, remove some front-end passive components to ensure signal bandwidth; recommended low-frequency and high-frequency input signal configurations are shown in Figure 11–Figure 13.

通过差分方式驱动模拟输入可以实现最佳性能。1）对于 SNR 和 SFDR 是关键参数的应用，推荐的输入配置是采用差分变压器耦合。2）对于低中频，建议使用双巴伦或双变压器网络，以实现最佳性能。3）对于第二或第三奈奎斯特区域中的更高频率，请删除一些前端无源组件以确保信号带宽，推荐的低频和高频输入信号配置如图 11-图 13 所示。

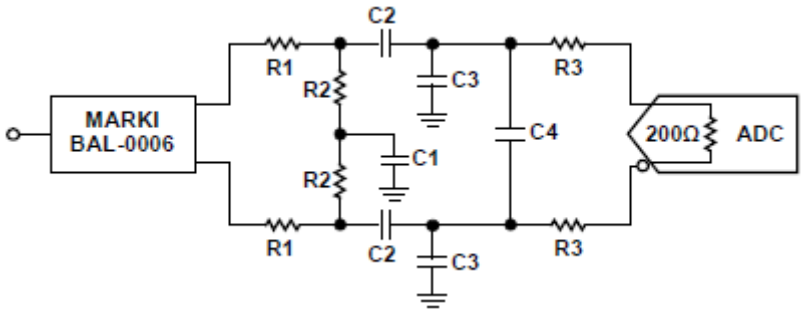


Figure 11: 低频输入信号配置

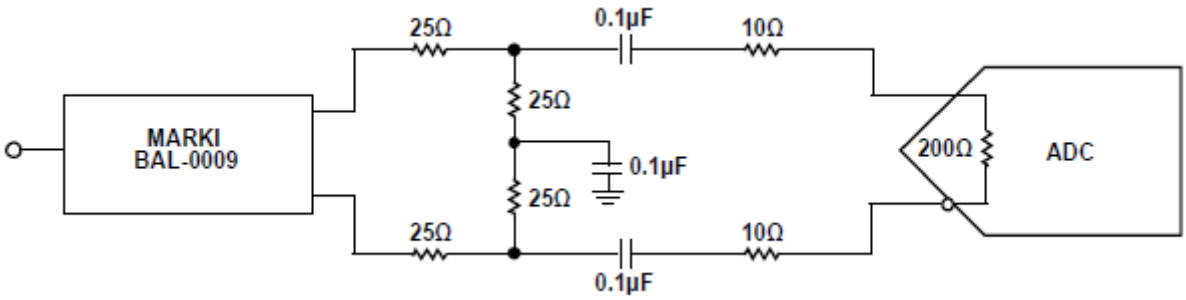


Figure 12: 高频输入信号配置

Frequency Range	Transformer	R1	R2	R3	C1	C2	C3	C4
<5000 MHz	BAL-0006	25 Ω	25 Ω	10 Ω	0.1 μF	0.1 μF	0.4 pF	0.4 pF or open
>5000 MHz	BAL-0009	25 Ω	25 Ω	10 Ω	0.1 μF	0.1 μF	Open	Open

Figure 13: 输入信号配置元器件参数表

2 基准电压源 / Voltage Reference

The SXA018 integrates a stable, precise 0.5V voltage reference. Via SPI register 0x18A6, the user can select either this internal 0.5V voltage reference or an external 0.5V voltage reference. When using an external voltage reference, a 0.5V reference source should be provided.

SXA018 内置稳定、精确的 0.5V 基准电压源。通过 SPI 寄存器 0x18A6，用户可以选择使用该内部 0.5V 基准电压源或提供外部 0.5V 基准电压源。使用外部基准电压源时，应提供 0.5V 基准电压源。

The SPI write sequence required to use an external voltage reference is as follows:

使用外部电压基准所需的 SPI 写入顺序如下：

1. Configure register 0x18E3 to 0x00 to turn off the common-mode voltage output.
2. 寄存器 0x18E3 配置为 0x00 以关闭共模电压输出。
3. Configure register 0x18E6 to 0x00 to turn off the temperature diode output.
4. 寄存器 0x18E6 配置为 0x00 以关闭温度二极管输出。
5. Configure register 0x18A6 to 0x01 to enable the external reference voltage.
6. 寄存器 0x18A6 配置为 0x01 以打开外部基准电压。

The internal reference voltage can be output through the VREF pin; the SPI write sequence required for reference voltage output is as follows:

内基准电压可以通过 VREF 端口输出，基准电压输出所需的 SPI 写入顺序如下：

1. Configure register 0x18E3 to 0x00 to turn off the common-mode voltage output.
2. 寄存器 0x18E3 配置为 0x00 以关闭共模电压输出。
3. Configure register 0x18E6 to 0x00 to turn off the temperature diode output.
4. 寄存器 0x18E6 配置为 0x00 以关闭温度二极管输出。
5. Configure register 0x18A6 to 0x10 to output the internal reference.
6. 寄存器 0x18A6 配置为 0x10 输出内基准。

3 时钟端口 / Clock Ports

For good dynamic performance, this product's clock input requires a differential input. Figure 14–Figure 16 show several recommended clock input methods.

为了获得好的动态性能，本产品时钟输入端需要差分输入，图 14-图 16 是几种推荐的时钟输入方式。

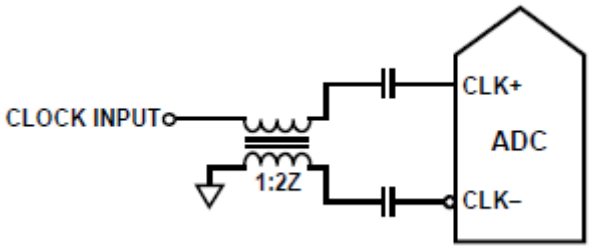


Figure 14: 变压器耦合差分时钟输入

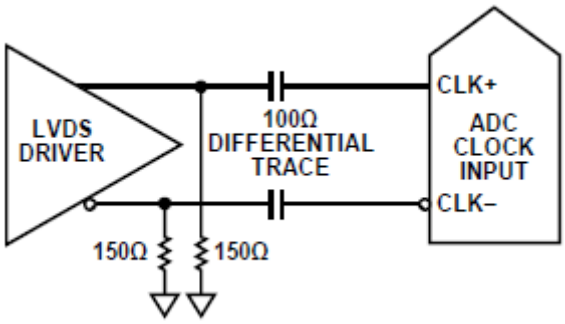


Figure 15: LVPECL 差分时钟输入

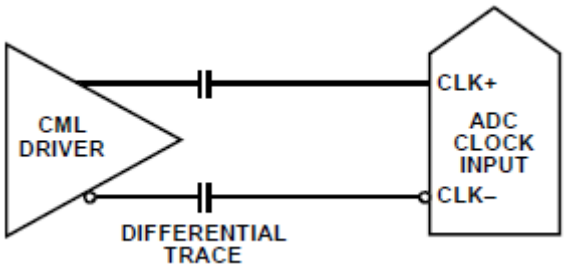


Figure 16: CML 差分时钟输入

4 掉电/待机模式 / Power-Down/Standby Mode

The SXA018 has a PDWN/STBY pin that can be used to configure the device into power-down or standby mode. The default configuration is power-down mode. The PDWN/STBY pin is a logic-high pin. In power-

down mode, the JESD204B link is interrupted. The power-down option can also be set via register 0x003F and register 0x0040. In standby mode, the JESD204B link is not interrupted, and 0 is transmitted for all converter samples. Bit 7 of register 0x0571 can be used to select the /K/ characters for modification.

SXA018 有一个 PDWN/STBY 引脚，可用来将器件配置为掉电或待机模式。默认配置是掉电模式。PDWN/STBY 引脚是一个逻辑高电平引脚。在掉电模式下，JESD204B 链路中断。掉电选项也可通过寄存器 0x003F 和寄存器 0x0040 设置。在待机模式下，JESD204B 链路不中断，对所有转换器样本都传输 0。可以利用寄存器 0x0571 的位 7 选择/K/字符来改变。

---

5 温度二极管 / Temperature Diode

The SXA018 integrates a diode-based temperature sensor for measuring die temperature. The diode output voltage is related to the die temperature; there are multiple diodes on the die, and the result from the temperature diode at the center of the die can represent the whole die. However, in applications using only one channel (with the other channel powered down), it is recommended to read the temperature diode corresponding to the normally operating channel. Figure 17 shows the diode locations on the die; each location has a pair of diodes, one of which is 20 times the size of the other. It is recommended to use both diodes at one location simultaneously for an accurate estimate of die temperature.

SXA018 内置基于二极管的温度传感器，用于测量芯片温度。二极管输出电压与芯片温度相关，芯片上有多个二极管，芯片中心位置的温度二极管的结果可以代表整个芯片的结果。但是在仅使用一个通道（另一个通道处于掉电状态）的应用中，建议读取与正常工作通道相对应的温度二极管。图 17 为二极管在芯片中的位置，每个位置都有一对二极管，其中一个的大小是另一个的 20 倍。建议在一个位置同时使用两个二极管以获得裸片温度的准确估值。

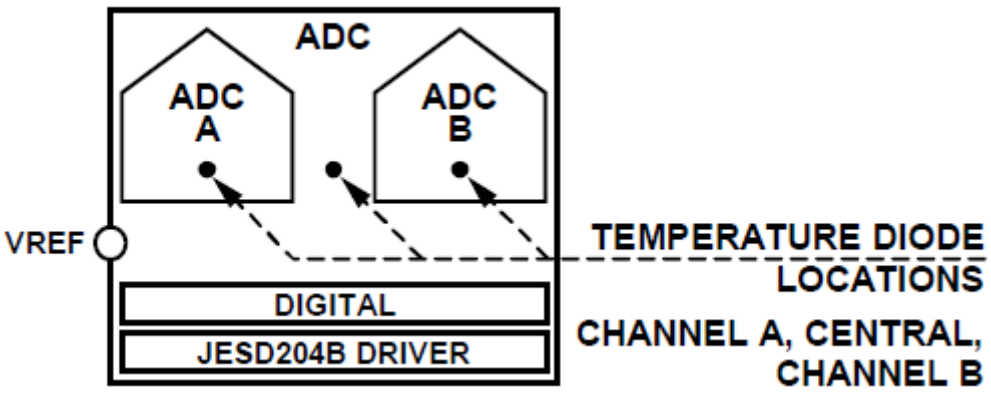


Figure 17: 温度二极管在芯片中的位置

The temperature diode voltage can be output to the VREF pin using SPI. Use local register 0x18E6 to enable or disable the diodes. The SPI writes required to output the voltage of the central temperature diode are as follows:

可以使用 SPI 将温度二极管电压输出到 VREF 引脚。使用本地寄存器 0x18E6 启用或禁用二极管。输出中心温度二极管的电压所需的 SPI 写入如下：

1. Configure register 0x18E3 to 0x00 to turn off the common-mode voltage output.
2. 寄存器 0x18E3 配置为 0x00 以关闭共模电压输出。
3. Configure register 0x18A6 to 0x00 to turn off the reference voltage output.

4. 寄存器 0x18A6 配置为 0x00 以关闭基准电压输出。
5. Configure register 0x18E6 to 0x01 to turn on the 1× temperature diode voltage output. The typical voltage response of the temperature diode is shown in Figure 18. Although this voltage represents the die temperature, measuring with a pair of diodes is recommended for improved accuracy.
6. 寄存器 0x18E6 配置为 0x01 以打开 1×温度二极管的电压输出。温度二极管的典型电压响应如图 18 所示。尽管此电压代表芯片温度，但建议用一对二极管进行测量以提高精度。
7. Configure register 0x18E6 to 0x02 to turn on the second central temperature diode, which is 20 times the size of the first. The relationship between the measured delta voltage (△V) and the junction temperature is shown in Figure 19.
8. 寄存器 0x18E6 配置为 0x02 以打开第二个中心温度二极管，该二极管的尺寸为第一个的 20 倍。测得的增量电压（△V）与结温之间的关系如图 19 所示。

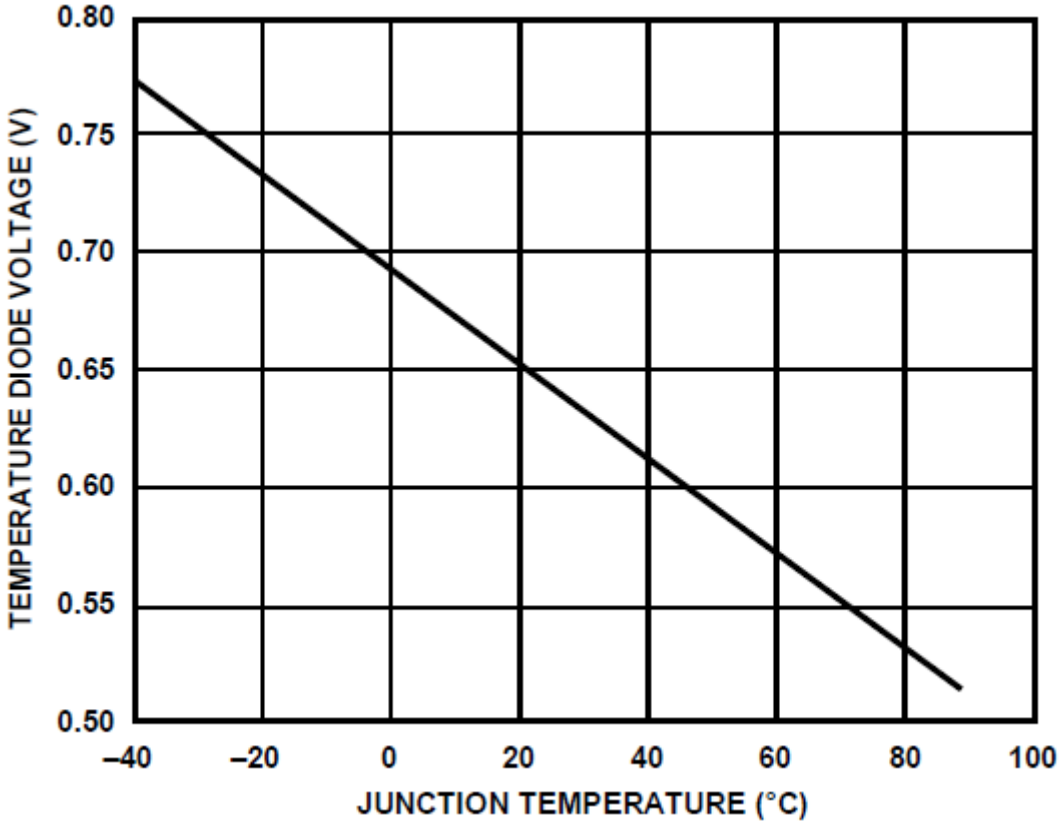


Figure 18: 1×温度二极管的典型电压响应

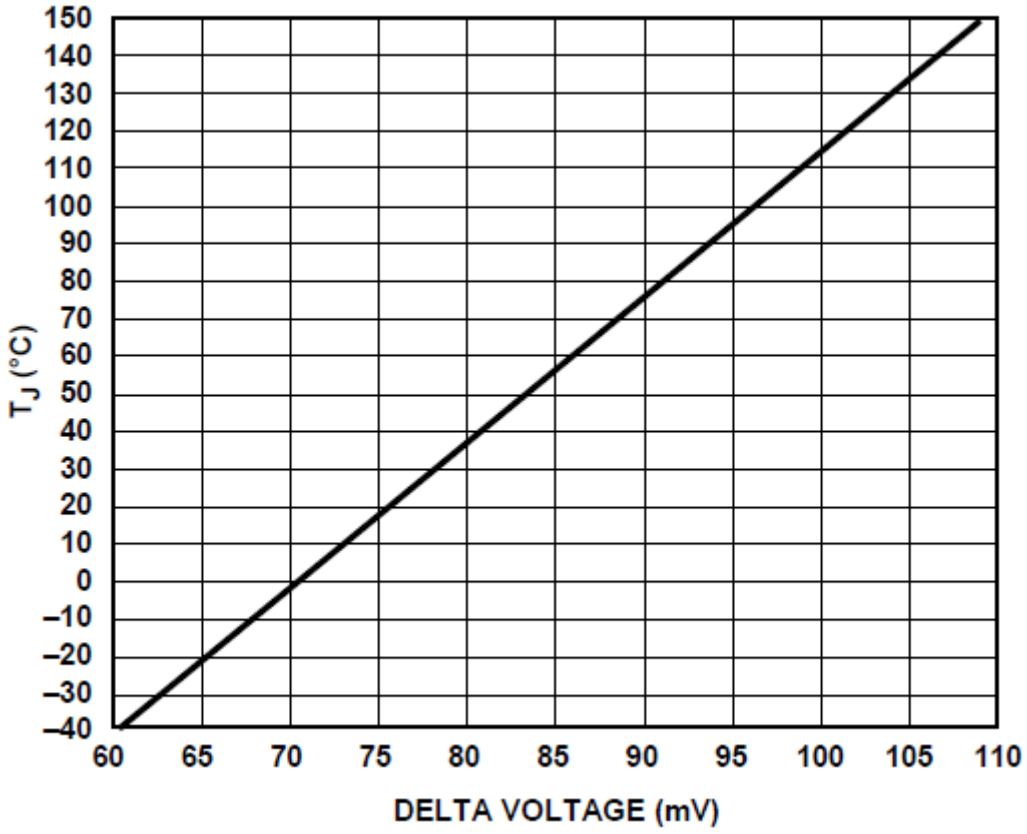


Figure 19: △V 与单位结温之间的关系

6 ADC 失调校准 / ADC Offset Calibration

The SXA018 contains a digital filter for removing DC offset from the ADC output. For AC-coupled applications, this filter can be enabled by configuring register 0x0701 to 86 and 0x73B to 37. The filter computes the average DC signal and digitally subtracts it from the ADC output. Since the filter does not distinguish the source of the DC signal, this feature can be used when DC signal content is not of interest; the filter can correct DC up to ±512LSB, beyond which it saturates. By default, offset calibration is disabled.

SXA018 包含一个数字滤波器，用于消除 ADC 输出的直流偏移。对于交流耦合应用，可以通过将寄存器 0x0701 配置 86，0x73B 配置 37 来启用该滤波器。滤波器计算平均直流信号，并以数字方式从 ADC 输出中减去。由于滤波器不区分直流信号源，当直流信号内容不关注时可以使用此功能，滤波器可校正高达±512LSB 的直流，超过此值就会饱和，默认状态下失调校准处于关闭状态。

7 快速阈值检测(FD_A 和 FD_B) / Fast Threshold Detection (FD_A and FD_B)

When the absolute value of the input signal exceeds the programmable upper threshold, the FD_A or FD_B pin is asserted immediately. The FD bit is not cleared until the absolute value of the input signal falls below the lower threshold and remains so for longer than the programmable dwell time. This feature provides hysteresis to prevent the FD bit from toggling too frequently. The operation of the upper and lower threshold registers and the dwell time register is shown in Figure 20.

当输入信号的绝对值超过可编程阈值上限，FD_A 或 FD_B 引脚就会立即置位。在输入信号的绝对值降至阈值下限以下并且持续时间超过可编程驻留时间时，FD 位才会被清除。此功能提供迟滞，防止 FD 位过于频繁地切换。阈值上限和下限寄存器工作以及驻留时间寄存器的情况如图 20 所示。

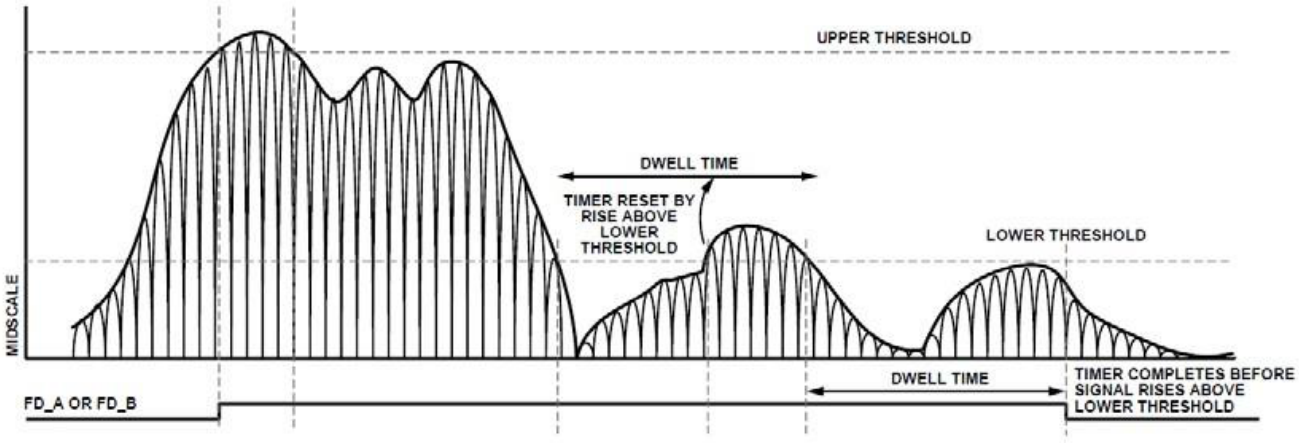


Figure 20: FD 信号的阈值设置

When the input signal amplitude exceeds the setting of the fast-detect upper threshold registers (registers 0x0247 and 0x0248), the FD indicator is asserted. The value of the selected threshold register is compared with the signal amplitude of the ADC output. Fast upper-threshold detection has a maximum latency of 28 clock cycles. The approximate upper threshold amplitude is defined by:

当输入信号幅度超过快速检测阈值上限寄存器(寄存器 0x0247 和 0x0248)的设置值时，FD 指示器置位。选定阈值寄存器的值与 ADC 输出的信号幅度进行比较。快速阈值上限检测具有最大 28 个时钟周期的延迟。近似阈值上限幅度由下式定义：

阈值上限幅度(dBFS)=20log(阈值幅度/213) / Upper threshold amplitude (dBFS) = 20log(threshold amplitude/213)

The FD indicator is not cleared until the signal falls below the lower threshold and remains so for longer than the set dwell time. The lower threshold is set in the fast-detect lower threshold registers (registers 0x0249 and 0x024A). The value of the 13-bit fast-detect lower threshold register is compared with the signal amplitude of the ADC output. This comparison is governed by the ADC pipeline delay, and the comparison accuracy depends on the converter resolution. The lower threshold is defined by:

在信号降至阈值下限以下且保持时间超过设定的驻留时间之前，FD 指示器不会清零。阈值下限在快速检测阈值下限寄存器(寄存器 0x0249 和 0x024A)中进行设置。13 位快速检测阈值下限寄存器的值与 ADC 输出的信号幅度进行比较。该比较受 ADC 流水线延迟的控制，比较精度取决于转换器分辨率。阈值下限由下式定义：

阈值下限幅度(dBFS)=20log(阈值幅度/213) / Lower threshold amplitude (dBFS) = 20log(threshold amplitude/213)

For example, to set an upper threshold of -6dBFS, write 0xFFF to registers 0x0247 and 0x0248; to set a lower threshold of -10dBFS, write 0xA1D to registers 0x0249 and 0x024A. The dwell time can be set within the range of 1 to 65535 sample clock cycles by writing the desired value to the fast-detect dwell time registers (registers 0x024B and 0x024C).

例如，要设置-6dBFS 的阈值上限，应将 0xFFF 写入寄存器 0x0247 和寄存器 0x0248；要设置-10dBFS 的阈值下限，应将 0xA1D 写入寄存器 0x0249 和寄存器 0x024A。驻留时间可以在 1 至 65535 个采样时钟周期范围内设置，方法是将所需值写入快速检测驻留时间寄存器(寄存器 0x024B 和 0x024C)。

8 上电复位配置 / Power-On Reset Configuration

Step 1: After the external clock and power supplies are stable, configure register 0x00 to 81 to SPI-reset the chip.

第一步：等待外部时钟、电源稳定以后，寄存器 0x00 配置 81 对芯片 SPI 复位。

Step 2: Configure the ADC operating mode registers.

第二步：配置 ADC 的工作模式寄存器。

Step 3: ADC datapath reset.

第三步：ADC Datapath 复位。

Step 4: Multi-chip synchronization mode setup.

第四步：多芯片同步模式设置。

Example: sampling rate 2.4576GSPS, two DDCs with complex output, output decimation rate 10; the data flow is shown in Figure 47. After the ADC peripheral environment such as clock and power is stable, configure the ADC:

示例：采样率 2.4576GSPS，两 DDC 复数输出，输出抽取率为 10，数据流如图 47 所示，等待时钟、电源等 ADC 外围环境稳定后，进行 ADC 配置：

1. Configure register 0x00 to 0x81 (SPI reset). 寄存器 0x00 配置为 0x81（SPI 复位）
2. Wait 5~10ms[1]. 等待 5~10ms[1]
3. Configure register 0x200 to 0x02 (two-DDC mode). 寄存器 0x200 配置为 0x02（两 DDC 模式）
4. Configure register 0x201 to 0x06 (chip decimation rate 10). 寄存器 0x201 配置为 0x06（芯片抽取率 10）
5. Configure register 0x310 to 0x47 (6dB gain; 311 sets DDC0 decimation rate). 寄存器 0x310 配置为 0x47（6dB 增益,311 设置 DDC0 抽取率）
6. Configure register 0x311 to 0x20 (DDC0 decimation rate 10, DDC0 input from channel A). 寄存器 0x311 配置为 0x20（DDC0 抽取率 10，DDC0 输入来自于通道 A）
7. Configure registers 0x316–0x31B for the NCO frequency in DDC0. 寄存器 0x316-0x31B 配置 DDC0 中的 NCO 频率
8. Configure register 0x330 to 0x47 (6dB gain; 331 sets DDC1 decimation rate). 寄存器 0x330 配置为 0x47（6dB 增益，331 设置 DDC1 抽取率）
9. Configure register 0x331 to 0x25 (DDC1 decimation rate 10, DDC1 input from channel B). 寄存器 0x331 配置为 0x25（DDC1 抽取率 10，DDC1 输入来自于通道 B）
10. Configure registers 0x336–0x33B for the NCO frequency in DDC1. 10.寄存器 0x336-0x33B 配置 DDC1 中的 NCO 频率
11. Configure register 0x58B to 0x81 (L=2, scrambling enabled). 11.寄存器 0x58B 配置为 0x81（L=2，开启扰码）
12. Configure register 0x58C to 0x03 (F=4). 12.寄存器 0x58C 配置为 0x03（F=4）

13. Configure register 0x58E to 0x03 (M=4). 13.寄存器 0x58E 配置为 0x03（M=4）
14. Configure register 0x56E to 0x00 (6.75 Gbps < lane rate 9.8304 Gbps < 13.5 Gbps). 14.寄存器 0x56E 配置为 0x00（6.75 Gbps <线速率 9.8304 Gbps <13.5 Gbps）
15. Configure register 0x01 to 0x02 (datapath soft reset). 15.寄存器 0x01 配置为 0x02（Datapath 软复位）
16. Wait 5~10ms. 16.等待 5~10ms
17. Configure register 0x1228 to 0x4F (PLL startup circuit reset)[2]. 17.寄存器 0x1228 配置为 0x4F（PLL 启动电路复位）[2]
18. Configure register 0x1228 to 0x0F. 18.寄存器 0x1228 配置为 0x0F
19. Configure register 0x1222 to 0x00. 19.寄存器 0x1222 配置为 0x00
20. Configure register 0x1222 to 0x04 (PLL reset). 20.寄存器 0x1222 配置为 0x04（PLL 复位）
21. Configure register 0x1222 to 0x00. 21.寄存器 0x1222 配置为 0x00
22. Configure register 0x1262 to 0x08 (clear loss-of-lock flag). 22.寄存器 0x1262 配置为 0x08（清除失锁标示）
23. Configure register 0x1262 to 0x00. 23.寄存器 0x1262 配置为 0x00
24. Configure register 0x300 to 0x01 (DDC continuous sync mode). 24.寄存器 0x300 配置为 0x01（DDC 连续同步模式）
25. Configure register 0x120 to 0x02 (multi-chip continuous sync mode). 25.寄存器 0x120 配置为 0x02（多芯片连续同步模式）

[1]Note: Performance is optimal in the default state, but after step 2, register 0x738 can be configured to 0x18 and register 0x73e to 0x08 to disable some background algorithms, which significantly improves ADC anti-interference capability, but SNR drops by about 1~2dB (typical), while SFDR performance is unaffected; alternatively, configure register 0x738 to 0x18, register 0x73e to 0x08, and register 0x922 to 0x01 to disable some background algorithms — SNR is unaffected, but more spurs appear.

[1]注：默认状态下性能最优，但在步骤 2 后可把寄存器 0x738 配置为 0x18，0x73e 寄存器配置为 0x08，关闭部分后台算法，ADC 抗干扰能力会显著增强，但 SNR 存在 1~2dB 左右的下降（常态下），SFDR 性能不受影响；也可把寄存器 0x738 配置为 0x18，0x73e 寄存器配置为 0x08，0x922 寄存器配置为 0x01，关闭部分后台算法，SNR 不受影响，但会出现较多杂波。

[2]Note: If after step 16, reading back 56F<7> is 1, steps 17~23 may be skipped; these steps mainly resolve PLL ultra-low-temperature startup anomalies.

[2]注：如果在第 16 步后回读 56F<7>为 1，可省略步骤 17~23，这些步骤主要解决 PLL 超低温启动异常。

9 多芯片同步设置 / Multi-Chip Synchronization Setup

Step 1: Confirm that the polarity of the reference signal SYSREF connected to the ADC ports is correct; reversed polarity may cause synchronization errors.

第一步：确认参考信号 SYSREF 连接到 ADC 端口的极性是正确的，如果极性接反可能导致同步错误。

Step 2: Adjust the delay between SYSREF and the clock to obtain correct setup/hold times; read back register 0x128 and adjust the phase relationship to keep the readback value between 89~8F. For details, see the SYSREF± setup and hold window monitor section.

第二步：调节 SYSREF 与时钟的延迟得到正确的建立保持时间，回读 0x128 寄存器，调节相位关系保证回读值在 89~8F 之间，细节请参考 SYSREF±建立和保持窗口监视器。

Step 3: Set register 120<2:1> to select the sync mode: configure 0x04 for oneshot mode; configure 0x02 for continuous sync mode. In this case the SYSREF period must be an integer multiple of the LMFC period, LMFC = ADC clock frequency / S*K. When operating in 4fs mode, LMFC = ADC clock frequency / 160.

第三步：设置寄存器 120<2:1>选择同步模式，配置为 0x04 是 oneshot 模式；配置为 0x02 是连续同步模式，此时 SYSREF 周期必须是 LMFC 周期的整数倍，LMFC=ADC 时钟频率/S*K，当工作于 4fs 模式时，LMFC=ADC 时钟频率/160。

If DDCs are used, additionally enable register 300<1:0> to select the DDC sync mode:

如果使用 DDC，需额外开启寄存器 300<1：0>选择 DDC 同步模式：

- Configuring 300<1:0> to 0x03 is oneshot mode; after all ADCs are configured, issuing a sync SYSREF pulse completes synchronization.
- 300<1：0>配置为 0x03 是 oneshot 模式，所有 ADC 配置好后发出同步 SYSREF 脉冲即可完成同步。
- Configuring 300<1:0> to 0x01 is DDC Continuous mode; in this case the SYSREF frequency must satisfy two constraints: the SYSREF period must be an integer multiple of the LMFC period, and it must be an integer multiple of the NCO period.
- 300<1：0>配置为 0x01 是 DDC Continuous 模式，此时 SYSREF 的频率必须满足以下两个限制：SYSREF 的周期是 LMFC 周期的整数倍，而且必须是 NCO 周期的整数倍。

Note: When the system has strong supply and clock disturbances, the connection between the ADC and the FPGA may be interrupted (link drop); in such cases the multi-chip synchronization function can no longer be guaranteed, and it is recommended to repeat the power-on reset configuration.

注：当系统存在很强的电源和时钟扰动时，可能导致 ADC 与 FPGA 的连接中断，出现掉链现象，在此种情况下多芯片同步功能已无法保证，推荐重新进行上电复位配置。

10 ADC 应用模式和 JESD204B Tx 转换映射 / ADC Application Modes and JESD204B Tx Converter Mapping

The SXA018 contains a configurable signal path allowing different functions to be enabled for different applications. These functions are controlled by the chip application mode register 0x0200; the chip operating mode is controlled by bits [3:0] of this register, and bit 5 controls whether chip Q is ignored. The SXA018 includes the following modes:

SXA018 包含一个可配置的信号路径，允许为不同的应用而启用不同的功能。这些功能是通过芯片应用模式寄存器 0x0200 来控制的，芯片操作模式由该寄存器中的位[3:0]控制，位 5 控制芯片 Q 是否忽略。SXA018 包含以下模式：

- Full-bandwidth mode: two 14-bit ADC cores run at full sampling rate.
- 全带宽模式：两个 14 位 ADC 核以全采样率运行。
- DDC mode: up to four digital downconverter (DDC) channels.
- DDC 模式：最多四个数字下变频器（DDC）通道。

After selecting the chip application mode, use bits [3:0] of register 0x0201 to set the chip decimation rate; output sample rate = ADC sample rate / chip decimation rate. To support different application-layer modes, the SXA018 treats each sample stream (real, I, or Q) as an independent virtual converter.

选择芯片应用模式后，使用寄存器 0x0201 的位[3:0]设置芯片抽取率，输出采样率=ADC 采样率/芯片抽取率。为了支持不同的应用层模式，SXA018 将每个采样流（实数、I 或 Q）视为独立的虚拟转换器。

lists the number of virtual converters required and the transport layer mapping when channel swapping is disabled. Figure 21 shows the virtual converters and their relationship to the DDC outputs when using complex outputs. Each DDC channel outputs two sample streams (I/Q) for complex data (real + imaginary), or one sample stream for real (I) data. The SXA018 can be configured to use up to eight virtual converters, depending on the DDC configuration. I/Q samples are always mapped in pairs, with the I sample mapped to the first virtual converter and the Q sample mapped to the second virtual converter. With this transport layer mapping, the number of virtual converters is the same whether a single real converter produces I/Q output through a digital downconverter, or analog downconversion produces I/Q output through two real converters. Figure 22 is a block diagram of the two scenarios described by the I/Q transport layer mapping.

为禁用信道交换时所需的虚拟转换器数量和传输层映射。图 21 显示了使用复数输出时的虚拟转换器及其与 DDC 输出的关系。每个 DDC 通道输出用于复数数据（实数+虚数）的两个采样流（I/Q），或用于实数（I）数据的一个采样流。SXA018 可以配置为使用多达八个虚拟转换器，具体取决于 DDC 配置。I/Q 样本总是与映射到第一虚拟转换器的 I 样本和映射到第二虚拟转换器的 Q 样本成对映射。通过这种传输层映射，无论是单个实转换器通过数字下变频器产生 I/Q 输出，还是模拟下变频后通过两个实转换器产生 I/Q 输出，虚拟转换器的数量是相同的。图 22 是 I/Q 传输层映射描述的两种场景的框图。

表5 / Table 5 — 虚拟转换器映射 / Virtual Converter Mapping

支持的虚拟转换器数量 / Supported Virtual Converter Count	芯片操作模式（寄存器0x0200，位[3:0]) / Chip Operating Mode (Reg 0x0200, bits [3:0])	芯片Q忽略（0x0200，位5) / Chip Q Ignore (0x0200, bit 5)	0	1	2	3	4	5	6	7
1-2	全带宽模式（0x0) / Full-bandwidth mode (0x0)	实数或复数样本（0x0) / Real or complex samples (0x0)	ADC A 样本 / ADC A samples	ADC B 样本 / ADC B samples	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused
1	一个DDC模式（0x1) / One-DDC mode (0x1)	实数（仅I)（0x1) / Real (I only) (0x1)	DDC0 I 样本 / DDC0 I samples	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused
2	一个DDC模式（0x1) / One-DDC mode (0x1)	复数（I/Q)（0x0) / Complex (I/Q) (0x0)	DDC0 I 样本 / DDC0 I samples	DDC0 Q 样本 / DDC0 Q samples	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused
2	两个DDC模式（0x2) / Two-DDC mode (0x2)	实数（仅I)（0x1) / Real (I only) (0x1)	DDC0 I 样本 / DDC0 I samples	DDC1 I 样本 / DDC1 I samples	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused
4	两个DDC模式（0x2) / Two-DDC mode (0x2)	复数（I/Q)（0x0) / Complex (I/Q) (0x0)	DDC0 I 样本 / DDC0 I samples	DDC0 Q 样本 / DDC0 Q samples	DDC1 I 样本 / DDC1 I samples	DDC1 Q 样本 / DDC1 Q samples	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused
4	四个DDC模式（0x3) / Four-DDC mode (0x3)	实数（仅I)（0x1) / Real (I only) (0x1)	DDC0 I 样本 / DDC0 I samples	DDC1 I 样本 / DDC1 I samples	DDC2 I 样本 / DDC2 I samples	DDC3 I 样本 / DDC3 I samples	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused
8	四个DDC模式（0x3) / Four-DDC mode (0x3)	复数（I/Q)（0x0) / Complex (I/Q) (0x0)	DDC0 I 样本 / DDC0 I samples	DDC0 Q 样本 / DDC0 Q samples	DDC1 I 样本 / DDC1 I samples	DDC1 Q 样本 / DDC1 Q samples	DDC2 I 样本 / DDC2 I samples	DDC2 Q 样本 / DDC2 Q samples	DDC3 I 样本 / DDC3 I samples	DDC3 Q 样本 / DDC3 Q samples

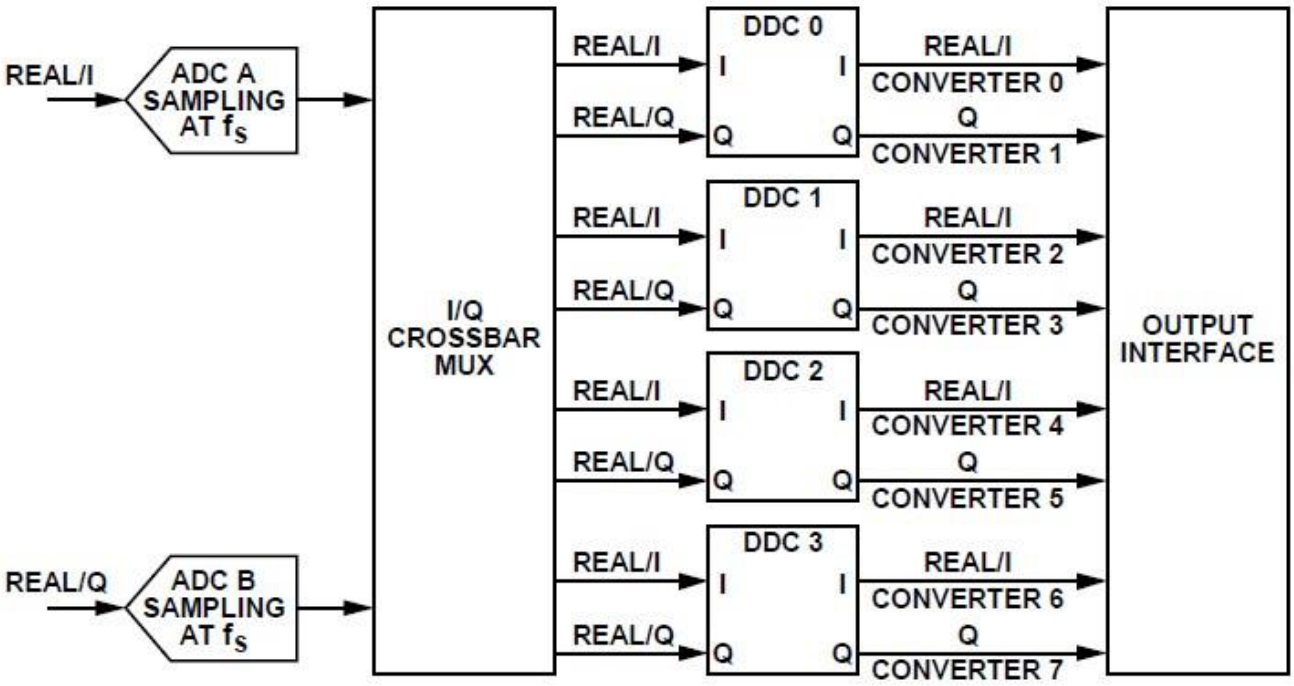


Figure 21: DDC 和虚拟转换器映射

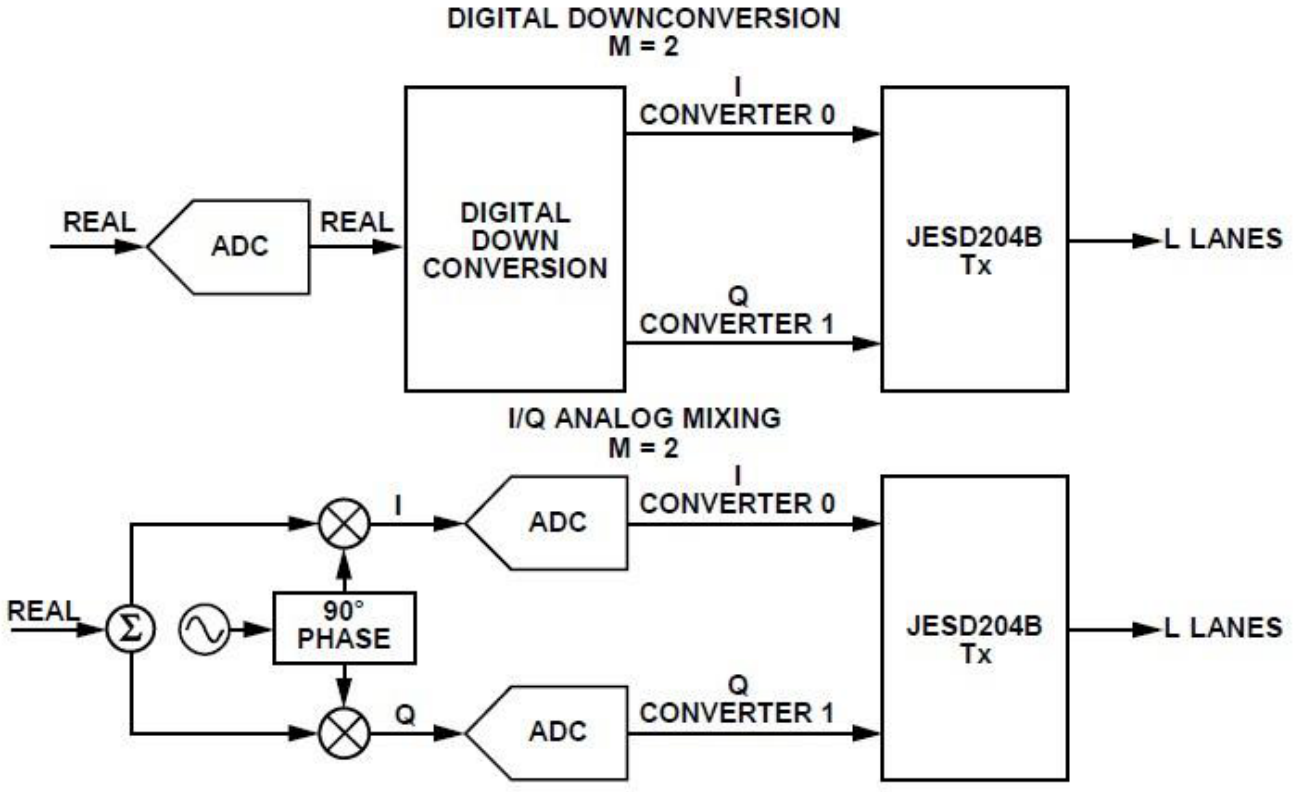


Figure 22: I/Q 传输层映射

11 数字下变频器(DDC) / Digital Downconverter (DDC)

The SXA018 integrates 4 digital downconverters (DDC0~DDC3) for filtering and reducing the output data rate. This digital processing section includes an NCO, multiple decimation FIR filters, a gain stage, and a

complex-to-real conversion stage. Each processing block has control lines and can be enabled or disabled individually to provide the required processing functions; the digital downconverters can be configured to output real or complex data.

SXA018 内置 4 个数字下变频器(DDC0~DDC3)，用于滤波和降低输出数据速率。该数字处理部分包括一个 NCO、多个抽取 FIR 滤波器、一个增益级和一个复数-实数转换级。各处理模块都有控制线，能单独使能或者禁用，以便提供所需的处理功能，数字下变频器可以配置为输出实数数据或复数数据。

The DDCs output 16-bit data streams. To enable this operation, even though the analog core outputs only 14 bits, the number of converter bits N is set to the default of 16. In full-bandwidth operation, unless tail bits are enabled, the ADC output is 14 bits followed by two zeros.

DDC 输出 16 位数据流。为了启用此操作，即使模拟核仅输出 14 位，转换器的位数 N 也被设置为默认值 16。在全带宽操作中，除非启用结束位，否则 ADC 输出是 14 位，后跟两个零。

11.1 DDC I/Q 输入选择 / DDC I/Q Input Selection

The SXA018 has two ADC channels and four DDC channels; each DDC channel has two input ports, which can be paired through the I/Q crossbar multiplexer to support real or complex inputs. For real signals, both DDC input ports must select the same ADC channel, e.g., DDC input port I = ADC channel A, input port Q = ADC channel A. For complex signals, each DDC input port must select a different ADC channel, e.g., DDC input port I = ADC channel A and DDC input port Q = ADC channel B.

SXA018 具有两个 ADC 通道和四个 DDC 通道，每个 DDC 通道有两个输入端口，这些端口可以配对以通过 I/Q 交叉开关多路复用器支持实数或复数输入。对于实数信号，两个 DDC 输入端口必须选择同一 ADC 通道，例如：DDC 输入端口 I=ADC 通道 A，输入端口 Q=ADC 通道 A。对于复数信号，各 DDC 输入端口必须选择不同 ADC 通道，例如：DDC 输入端口 I=ADC 通道 A 和 DDC 输入端口 Q=ADC 通道 B。

The inputs of each DDC are controlled by the DDC input select registers (register 0x0311, register 0x0331, register 0x0351, and register 0x0371).

每个 DDC 的输入由 DDC 输入选择寄存器(寄存器 0x0311、寄存器 0x0331、寄存器 0x0351 和寄存器 0x0371)控制。

11.2 DDC I/Q 输出选择 / DDC I/Q Output Selection

Each DDC channel has two output ports, which can be paired to support real or complex outputs. For real output signals, only DDC output port I is used (DDC output port Q is invalid). For complex I/Q output signals, both DDC output port I and DDC output port Q must be used.

每个 DDC 通道有两个输出端口，这些端口可以配对以支持实数或复数输出。对于实数输出信号，仅使用 DDC 输出端口 I(DDC 输出端口 Q 无效)。对于复数 I/Q 输出信号，DDC 输出端口 I 和 DDC 输出端口 Q 均要使用。

The I/Q outputs of each DDC channel are controlled by the DDC complex-to-real enable bit (bit 3) in the DDC control registers (register 0x0310, register 0x0330, register 0x0350, and register 0x0370).

各 DDC 通道的 I/Q 输出由 DDC 控制寄存器(寄存器 0x0310、寄存器 0x0330、寄存器 0x0350 和寄存器 0x0370)中的 DDC 复数转实数使能位(位 3)控制。

The chip Q ignore bit (bit 5) in the chip application mode register (register 0x0200) controls the chip outputs of all DDC channels. When all DDC channels use real outputs, set this bit high to ignore all DDC Q output ports. When any DDC channel is set to use complex I/Q output, the user must clear this bit so that both DDC output port I and DDC output port Q are used.

芯片应用模式寄存器(寄存器 0x0200)中的芯片 Q 忽略位(位 5)控制所有 DDC 通道的芯片输出。所有 DDC 通道都使用实数输出时，设置此位为高电平以忽略所有 DDC Q 输出端口。当设置任意 DDC 通道使用复数 I/Q 输出时，用户必须清除此位以便同时使用 DDC 输出端口 I 和 DDC 输出端口 Q。

11.3 DDC 概述 / DDC Overview

The four DDC modules are used to extract a portion of the full digital spectrum captured by the ADC; each DDC module contains 4 signal processing stages:

四个 DDC 模块用于提取 ADC 捕捉的全数字频谱的一部分，各 DDC 模块包含 4 个信号处理级：

- Frequency conversion stage (optional).
- 频率转换级（可选）
- Filter stage.
- 滤波级
- Gain stage (optional).
- 增益级（可选）
- Complex-to-real conversion stage (optional).
- 复数至实数转换级（可选）

Frequency conversion stage (optional):

频率转换级(可选)

The frequency conversion stage consists of a phase-coherent NCO and a quadrature mixer, and can be used for frequency conversion of real or complex input signals. The phase-coherent NCO allows an unlimited number of frequency hops, all referenced to the same synchronization event. It also includes 16 shadow registers for fast-switching applications. This stage shifts a portion of the available digital spectrum down to baseband.

频率转换级由相位相干 NCO 和正交混频器组成，可用于实数或复数输入信号的频率转换。相位相干 NCO 允许无限次数的跳频，这些跳频都参考同一个同步事件。它还包括 16 个用于快速切换应用的影子寄存器。该级将一部分可用数字频谱下移至基带。

Filter stage:

滤波级

After shifting down to baseband, the filter stage uses multiple low-pass finite impulse response (FIR) filters to decimate the spectrum for rate conversion. The decimation process reduces the output data rate, thereby reducing the output interface rate.

下移至基带后，滤波级使用多个低通有限脉冲响应（FIR）滤波器抽取频谱进行速率转换。抽取过程会降低输出数据速率，进而降低输出接口速率。

Gain stage (optional):

增益级(可选)

Gain loss occurs when a real input signal is downmixed to baseband; the gain stage compensates with an additional 0dB or 6dB of gain.

实数输入信号下混频至基带时会存在损耗，增益级通过增加 0dB 或 6dB 的增益予以补偿。

Complex-to-real conversion stage (optional):

复数至实数转换级(可选)

When a real output is required, the complex-to-real conversion stage performs an fs/4 mixing operation and filters out the complex component of the signal through filters, thereby converting the complex output back to a real output.

需要实数输出时，复数至实数转换级执行 fs/4 混频操作，并通过滤波器滤除信号的复数成分，从而将复数输出转回实数输出。

Figure 23 shows the detailed block diagram of the DDCs implemented in the SXA018.

图 23 所示为 SXA018 中实现的 DDC 详细框图。

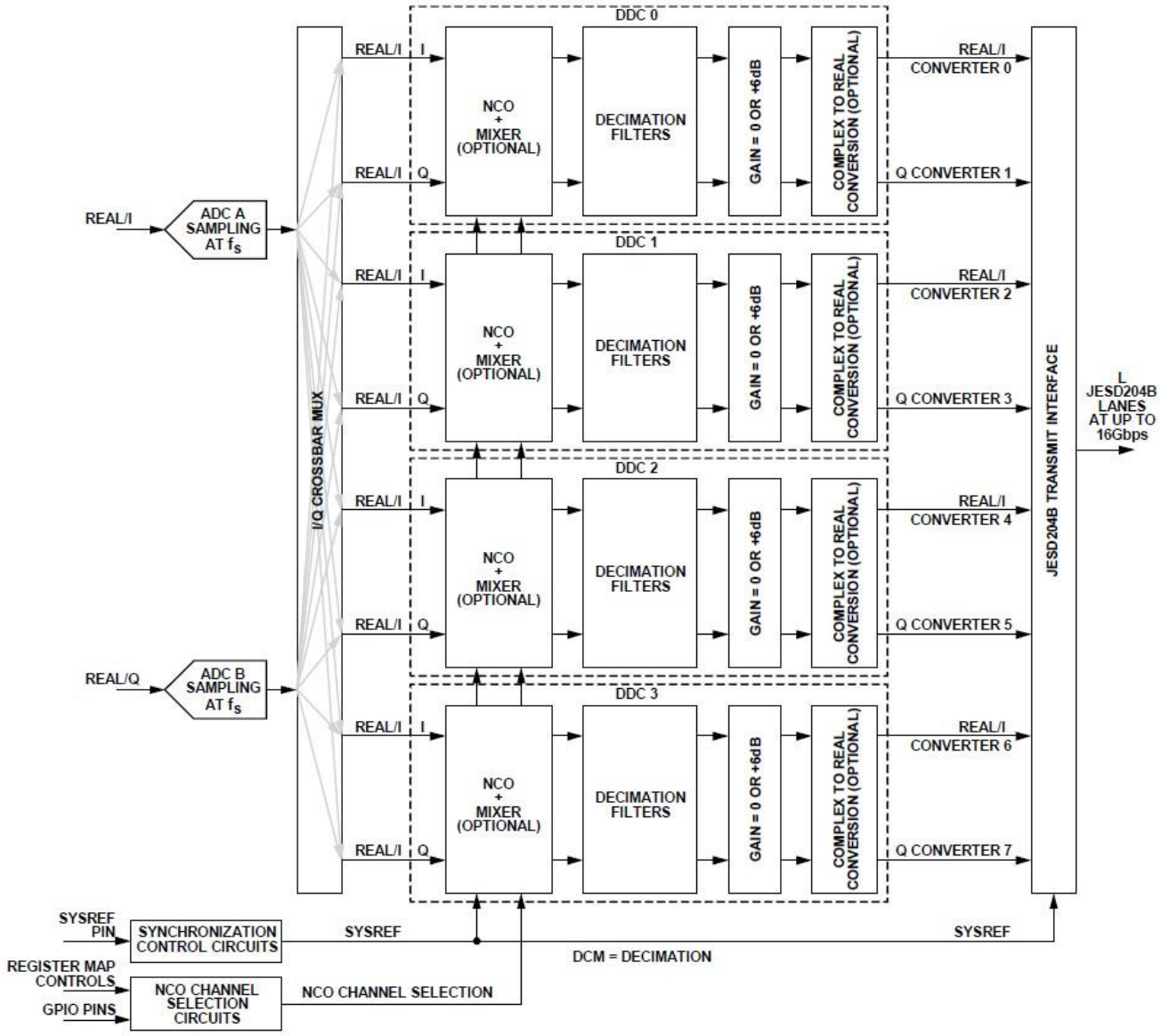


Figure 23: DDC 详细框图

11.4 DDC 频率转换概述 / DDC Frequency Conversion Overview

Frequency conversion is implemented using a 48-bit complex NCO and a digital quadrature mixer. Frequency conversion converts a real or complex input signal from an intermediate frequency (IF) to a baseband complex digital output (carrier = 0 Hz).

频率转换是利用 48 位复数 NCO 和数字正交混频器实现的。频率转换将一个实数或复数输入信号从中频(IF)转换为基带复数数字输出(载波= 0 Hz)。

The frequency conversion stage of each DDC can be controlled individually and supports four different IF modes; the specific mode is selected using bits [5:4] of the DDC control registers (register 0x0310, register 0x0330, register 0x0350, and register 0x0370). These IF modes are:

每个 DDC 的频率转换级可以单独控制，支持四种不同的 IF 模式，利用 DDC 控制寄存器(寄存器 0x0310、寄存器 0x0330、寄存器 0x0350 和寄存器 0x0370)的位[5:4]可以选择具体模式。这些 IF 模式如下：

- Variable IF mode.

- 可变 IF 模式
- 0 Hz IF (ZIF) mode.
- 0 Hz IF (ZIF)模式
- fS/4 Hz IF mode.
- fS/4 Hz IF 模式
- Test mode.
- 测试模式

Variable IF mode:

可变 IF 模式

The NCO and mixer are enabled. The NCO output frequency can be used to digitally tune the IF frequency.

NCO 和混频器使能。NCO 输出频率可用来对 IF 频率进行数字调谐。

0 Hz IF (ZIF) mode:

0 Hz IF (ZIF)模式

The mixer is bypassed and the NCO is disabled.

混频器旁路，NCO 禁用。

fS/4 Hz IF mode:

fS/4 Hz IF 模式

The mixer and NCO are enabled in a special fS/4 downmixing mode to save power.

混频器和 NCO 在特殊的 fS/4 下混频模式中使能以节省功耗。

Test mode:

测试模式

Input samples reach 0.999 to positive full scale, and the NCO is enabled; this test mode allows the NCO to directly drive the decimation filters.

输入样本达到 0.999 至正满量程，NCO 使能，该测试模式允许 NCO 直接驱动抽取滤波器。

11.5 DDC NCO 说明 / DDC NCO Description

Each DDC contains an NCO; each NCO implements the frequency conversion process by creating a complex exponential frequency (e^-jwct) that can be mixed with the input spectrum to convert the band of interest to DC, which is then filtered by subsequent low-pass filters to prevent aliasing. When in variable IF mode, the NCO supports the following two modes.

每个 DDC 包含一个 NCO，每个 NCO 通过创建一个复数指数频率（e-jwct）来实现频率转换过程，该频率可以与输入频谱混合，以将感兴趣的频带转换为直流，然后通过后续低通滤波器对其进行滤波以防止混叠。当处于可变 IF 模式时，NCO 支持以下两种模式。

11.6 DDC NCO 可编程模数模式 / DDC NCO Programmable Modulus Mode

This mode supports >48-bit frequency tuning accuracy and is suitable for applications requiring precise rational (M/N) frequency synthesis at a single carrier frequency. In this mode, the NCO is set by providing:

此模式支持>48 位频率调谐精度，适用于需要在单个载波频率下进行精确的有理数（M/N）频率合成的应用。在此模式下，通过提供以下内容来设置NCO：

- 48-bit frequency tuning word (FTW).
- 48 位频率调谐字（FTW）
- 48-bit modulus A word (MAW).
- 48 位模数 A 字（MAW）
- 48-bit modulus B word (MBW).
- 48 位模数 B 字（MBW）
- 48-bit phase offset word (POW).
- 48 位相位偏移字（POW）

DDC NCO coherent mode:

DDC NCO 相干模式

This mode allows an unlimited number of frequency hops, with the phase referenced to a single synchronization event at time 0. It is useful when switching between different bands while maintaining phase coherence. In this mode, the user can switch to any tuning frequency without resetting the NCO. Although only one FTW is required, the NCO contains 16 shadow registers for fast-switching applications; the shadow register selection is controlled by CMOS GPIO pins or the SPI register map. The NCO is set by providing:

该模式允许无限次数的跳频，其中相位参考 0 时刻的单个同步事件。当在不同频段之间切换而又必须保持相位相干性时，此模式很有用。在此模式下，用户无需重置 NCO 即可切换至任何调谐频率。尽管只需要一个 FTW，但 NCO 包含 16 个用于快速切换应用的影子寄存器，影子寄存器的选择由 CMOS GPIO 引脚或 SPI 寄存器映射控制，可以通过提供以下内容来设置 NCO：

- Up to 16 48-bit FTWs.
- 最多 16 个 48 位 FTW
- Up to 16 48-bit POWs.
- 最多 16 个 48 位 POW
- In coherent mode, the 48-bit MAW must be set to 0.
- 在相干模式下，48 位 MAW 必须设置为 0

Figure 24 shows a block diagram of an NCO and mixer; the coherent phase accumulator supports unlimited frequency hops; gray lines represent SPI control lines.

图 24 显示了一个 NCO 及混频器的框图，相干相位累加器支持无限次跳频，图中灰线代表 SPI 控制线。

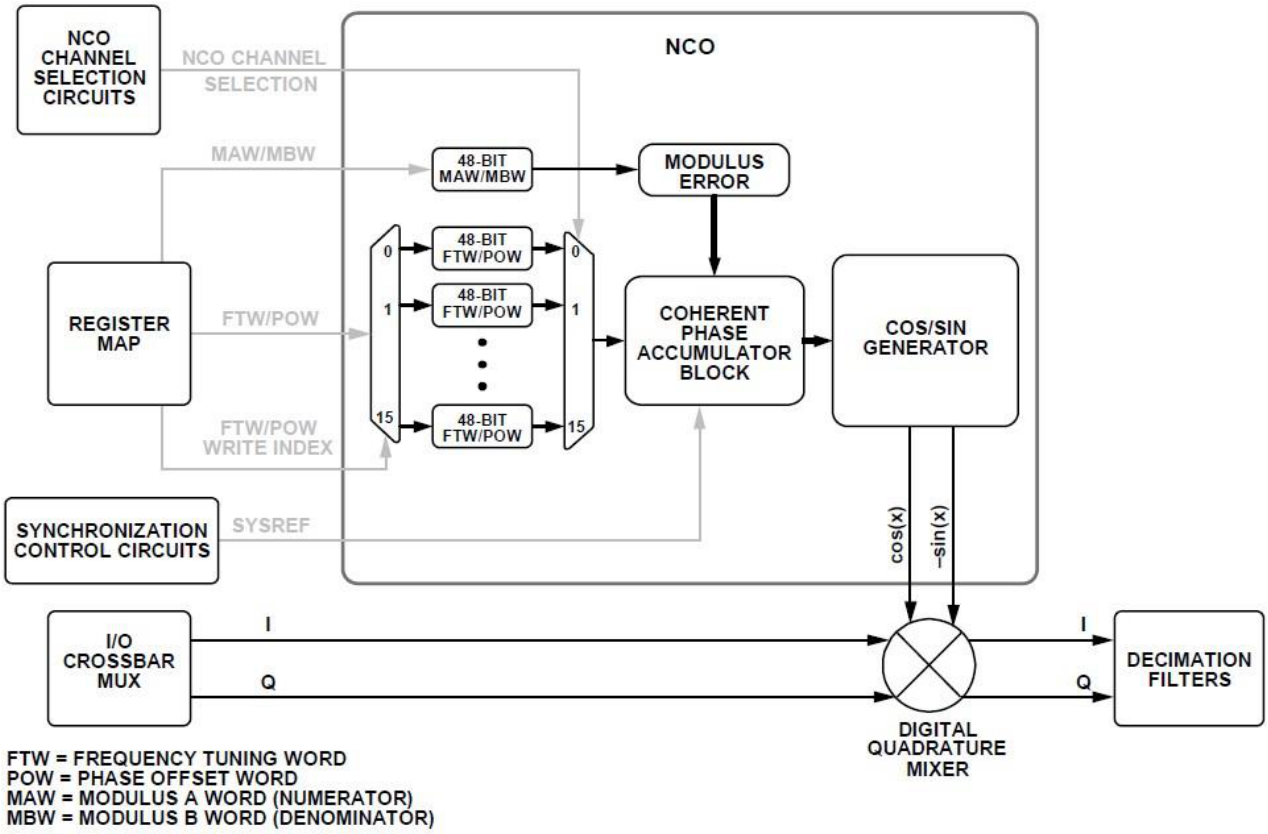


Figure 24: NCO 及混频器框图

NCO FTW/POW/MAW/MAB description:

NCO FTW/POW/MAW/MAB 描述

The NCO frequency value is determined by the following settings:

NCO 频率值由以下设置决定：

- The 48-bit two's complement number entered in the FTW.
- 在 FTW 中输入的 48 位二进制补码数
- The 48-bit unsigned number entered in the MAW.
- 在 MAW 中输入的 48 位无符号数
- The 48-bit unsigned number entered in the MBW.
- 在 MBW 中输入的 48 位无符号数
- Frequencies between -fS/2 and +fS/2 (excluding fS/2) are represented using the following values:
- －fS/2 和+fS/2（不包括fS/2）之间的频率使用以下值表示：
- FTW=0x8000_0000_0000 and MAW=0x0000_0000_0000 represent the frequency -fS/2.
- FTW=0x8000_0000_0000 和MAW=0x0000_0000_0000 表示-fS/2 的频率
- FTW=0x0000_0000_0000 and MAW=0x0000_0000_0000 represent DC (frequency 0Hz).
- FTW=0x0000_0000_0000 和MAW=0x0000_0000_0000 表示直流（频率为0Hz）
- FTW=0x7FFF_FFFF_FFFF and MAW=0x0000_0000_0000 represent the frequency +fS/2.
- FTW=0x7FFF_FFFF_FFFF 和MAW=0x0000_0000_0000 表示+fS/2 的频率

NCO FTW/POW/MAW/MAB programmable modulus mode:

NCO FTW/POW/MAW/MAB 可编程模数模式

For programmable modulus mode, MAW must be set to a non-zero value (not equal to 0x0000_0000_0000). This mode is only needed when >48-bit frequency accuracy is required. An example of an application requiring >48-bit precision frequency synthesis is a carrier frequency of 1/3 the sampling rate. When ≤48-bit frequency accuracy is required, coherent mode must be used (see the NCO FTW/POW/MAW/MAB coherent mode section). In programmable modulus mode, FTW, MAW, and MBW must satisfy the following four equations:

对于可编程模数模式，MAW 必须设置为非零值（不等于 0x0000_0000_0000）。仅当需要>48 位的频率精度时才需要此模式。需要>48 位精度频率合成要求的一个示例是 1/3 采样率的载波频率。当需要≤48 位的频率精度时，必须使用相干模式（参见 NCO FTW/POW/MAW/MAB 相干模式部分）。在可编程模数模式下，FTW、MAW 和 MBW 必须满足以下四个方程式：

```
 mod(fc, fs) / fs = M / N = (FTW + MAW/MBW) / 2^48
FTW = floor(2^48 × mod(fc, fs) / fs)
MAW = mod(2^48 × M, N)
MBW = N
```

where: fC is the desired carrier frequency. fS is the ADC sampling frequency. M is the integer representing the rational numerator of the frequency ratio. N is the integer representing the rational denominator of the frequency ratio. FTW is the 48-bit two's complement number representing the NCO FTW. MAW is the 48-bit unsigned number representing the NCO MAW (must be <2^47). MBW is the 48-bit unsigned number representing the NCO MBW. mod(x) is the remainder function. For example, mod(110,100)=10; for negative numbers, mod(-32,10)=-2. floor(x) is defined as the largest integer less than or equal to x. For example, floor(3.6)=3.

其中：fC 是所需的载波频率。fS 是 ADC 采样频率。M 是表示频率比的有理分子的整数。N 是表示频率比的有理分母的整数。FTW 是表示 NCO FTW 的 48 位二进制补码数。MAW 是表示 NCO MAW 的 48 位无符号数（必须<247）。MBW 是表示 NCO MBW 的 48 位无符号数。mod(x)是余数函数。例如，mod(110,100)=10，对于负数，mod(-32,10)=-2。floor(x)定义为小于或等于 x 的最大整数。例如，floor(3.6)=3。

Note that the above formulas apply to signal aliasing in the digital domain. M and N are coprime, and MAW and MBW are coprime. When MAW is set to zero, programmable modulus mode is automatically disabled. For example, if the ADC sampling frequency (fS) is 2600MSPS and the carrier frequency (fC) is 1001.5MHz, then:

请注意，上述公式适用于数字域中的信号混叠。M 和 N 互质，MAW 和 MBW 互质。当 MAW 设置为零时，可编程模数模式将自动禁用。例如，如果 ADC 采样频率(fS)为 2600MSPS，载波频率(fC)为 1001.5MHz，则

```
 mod(1001.5, 2600) / 2600 = M / N = 2003 / 5200
FTW = floor(2^48 × mod(1001.5, 2600) / 2600) = 0x629B_F68C_3590
MAW = mod(2^48 × 2003, 6000) = 0x0000_0000_0300
MBW = 0x0000_0000_1450
```

The actual carrier frequency can be calculated from the following equation:

实际载波频率可以根据以下等式计算：

```
fC_ACTUAL = (FTW + MAW/MBW) / 2^48 × fS
```

For the previous example, the actual carrier frequency (fC_ACTUAL) is:

对于前面的示例，实际载波频率(fC_ACTUAL)是

```
fC_ACTUAL = (0x629B_F68C_3590 + 0x0000_0000_0300/0x0000_0000_1450) / 2^48 × 2600 = 1001.5MHz
```

Each NCO has a 48-bit POW to create known phase relationships between multiple chips or between DDC channels within a chip. In programmable modulus mode, the FTW and POW registers can be updated at any time while still maintaining deterministic phase results in the NCO. However, the following procedure must be followed to update the MAW and/or MBW registers to ensure normal NCO operation:

每个 NCO 都有一个 48 位 POW，以在多个芯片或芯片内的各个 DDC 通道之间创建已知的相位关系。在可编程模数模式下，FTW 和 POW 寄存器可以随时更新，同时仍保持 NCO 中的确定性相位结果。但是，必须遵循以下操作来更新 MAW 和/或 MBW 寄存器以确保 NCO 正常运行：

1. Write the MAW and MBW registers of all DDCs.
2. 写入所有 DDC 的 MAW 和 MBW 寄存器。
3. Synchronize the NCOs via SPI register DDC soft reset (single chip) or via the SYSREF± pins (multiple chips).
4. 通过 SPI 寄存器对 DDC 软复位(单片)或通过 SYSREF±引脚来同步 NCO（多片）。

NCO FTW/POW/MAW/MAB coherent mode:

NCO FTW/POW/MAW/MAB 相干模式

For coherent mode, the NCO MAW must be set to zero (0x0000_0000_0000). In this mode, the NCO FTW can be calculated by the following equation:

对于相干模式，NCO MAW 必须设置为零(0x0000_0000_0000)。在这种模式下，NCO FTW 可以通过以下等式计算：

```
FTW = round(2^48 × mod(fc, fs) / fs)
```

where: FTW is the 48-bit two's complement number representing the NCO FTW. fS is the ADC sampling frequency. fC is the desired carrier frequency. mod(x) is the remainder function. For example mod(110,100)=10; for negative numbers, mod(–32,10)=–2. round(x) is a rounding function. For example round(3.6)=4; for negative numbers, round(–3.4)=–3.

其中：FTW 是表示 NCO FTW 的 48 位二进制补码。fS 是 ADC 采样频率。fC 是所需的载波频率。mod(x)是余数函数。例如 mod(110,100)=10，对于负数，mod(–32,10)=–2。round(x)是一个四舍五入函数。例如 round(3.6)=4，对于负数，round(–3.4)=–3。

Note that the above formula applies to signal aliasing in the digital domain. MAW must be set to zero to use coherent mode. When MAW is zero, programmable modulus mode is automatically disabled. For example, if the ADC sampling frequency (fS) is 2600MSPS and the carrier frequency (fC) is 416.667MHz, then:

请注意，上述公式适用于数字域中信号的混叠。MAW 必须设置为零才能使用相干模式。当 MAW 为零时，可编程模数模式自动禁用。例如，如果 ADC 采样频率(fS)为 2600MSPS，载波频率(fC)为 416.667MHz，则：

```
FTW = round(2^48 × mod(416.667, 2600) / 2600) = 0x2906_928F_A997
```

The actual carrier frequency can be calculated from the following equation:

实际载波频率可以根据以下等式计算：

```
fC_ACTUAL = FTW × fs / 2^48
```

For the previous example, the actual carrier frequency (fC_ACTUAL) is:

对于前面的示例，实际载波频率(fC_ACTUAL)是

```
fC_ACTUAL = 0x2906_928F_A997 × 2600 / 2^48 = 416.66699MHz
```

Each NCO has a 48-bit POW to create known phase relationships between multiple chips or between DDC channels within a chip. In coherent mode, the FTW and POW registers can be updated at any time while still maintaining deterministic phase results in the NCO.

每个 NCO 都有一个 48 位 POW，以在多个芯片或芯片内的各个 DDC 通道之间创建已知的相位关系。在相干模式下，FTW 和 POW 寄存器可以随时更新，同时仍保持 NCO 中的确定性相位结果。

11.7 NCO 通道选择 / NCO Channel Selection

When configured for coherent mode, the NCO requires only one FTW. In this mode, the user can switch to any tuning frequency by directly writing the FTW. For fast-switching applications, all FTWs are known in advance and a set of FTWs can be queued; the NCO contains 16 additional shadow registers. These shadow registers are hereafter referred to as NCO channels. Figure 25 shows a simplified block diagram of the NCO channel selection module; gray lines represent SPI control lines.

当配置为相干模式时，NCO 中只需要一个 FTW。在这种模式下，用户可通过直接写入 FTW 来切换到任何调谐频率。对于快速切换应用，所有 FTW 都是预先已知的，可以对一组 FTW 进行排队，NCO 包含 16 个额外的影子寄存器。这些影子寄存器在下文中称为 NCO 通道。图 25 显示了 NCO 通道选择模块的简化框图，灰线代表 SPI 控制线。

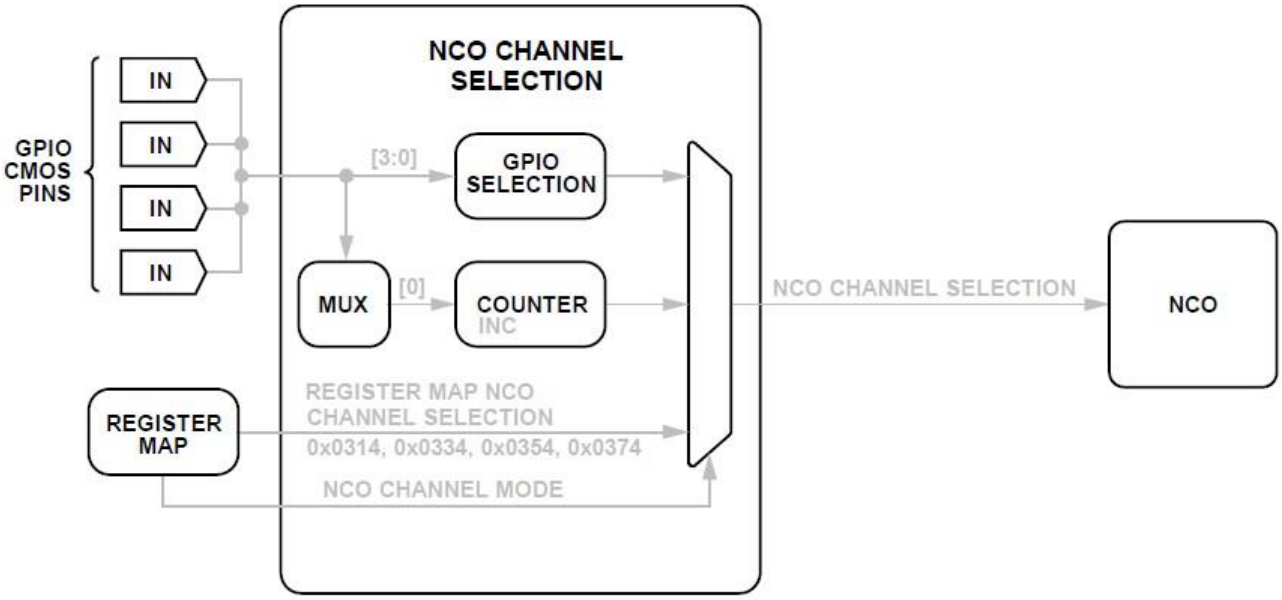


Figure 25: NCO 通道选择模块

Only one NCO channel is active at a time; NCO channel selection is controlled by GPIO pins or through the register map. Each NCO channel selector supports three different modes, described as follows:

一次只有一个 NCO 通道处于活动状态，NCO 通道选择由 GPIO 引脚或通过寄存器映射控制。每个 NCO 通道选择器支持三种不同的模式，描述如下：

- GPIO level control mode. In this mode, the GPIO pin levels determine the selected NCO channel.
- GPIO 电平控制模式。在此模式下，GPIO 引脚电平确定所选的 NCO 通道。
- Configure one or more GPIO pins as NCO channel select inputs. GPIO pins not configured as NCO channel select inputs are internally connected low.
    1. 配置一个或多个 GPIO 引脚为 NCO 通道选择输入。未配置为 NCO 通道选择输入的 GPIO 引脚在内部连接为低电平。 a. To use GPIO_A0, write bits [2:0] of register 0x0040 to 0x6, and write bits [3:0] of register 0x0041 to 0x0. a. 要使用 GPIO_A0，请将寄存器 0x0040 中的位[2:0]写入 0x6，将寄存器 0x0041 中的位[3:0]写入 0x0。 b. To use GPIO_B0, write bits [5:3] of register 0x0040 to 0x6, and write bits [7:4] of register 0x0041 to 0x0. b. 要使用 GPIO_B0，请将寄存器 0x0040 中的位[5:3]写入 0x6，将寄存器 0x0041 中的位[7:4]写入 0x0 c. To use GPIO_A1, write bits [3:0] of register 0x0042 to 0x0. c. 要使用 GPIO_A1，请将寄存器 0x0042 中的位[3:0]写入 0x0。 d. To use GPIO_B1, write bits [7:4] of register 0x0042 to 0x0. d. 要使用 GPIO_B1，请将寄存器 0x0042 中的位[7:4]写入 0x0。
- Configure the NCO channel selector to GPIO level control mode by setting bits [7:4] of the NCO control registers (register 0x0314, register 0x0334, register 0x0354, and register 0x0374) to 0x1 through 0x6, depending on the desired GPIO pin command; select the NCO channel via the channel configuration strobe registers (register 0x0315, register 0x0335, register 0x0355, and register 0x0375), and write the corresponding FTW, POW.
    1. 通过将 NCO 控制寄存器（寄存器 0x0314、寄存器 0x0334、寄存器 0x0354 和寄存器 0x0374）中的位[7:4]设置为 0x1 至 0x6，将 NCO 通道选择器配置为 GPIO 电平控制模式，具体取决于所需的 GPIO 引脚命令，通过通道配置选通寄存器（寄存器 0x0315、寄存器 0x0335、寄存器 0x0355 和寄存器 0x0375）选中 NCO 通道，并写入相应的 FTW,POW。

- Select the desired NCO channel via the GPIO pins.
    1. 通过 GPIO 引脚选择所需的 NCO 通道。
- GPIO edge control mode. A low-to-high transition on a single GPIO pin determines the selected NCO channel. The internal channel-select counter is reset by SYSREF± or a DDC soft reset. To use GPIO edge control mode for NCO channel selection, the following procedure must be followed:
- GPIO 边沿控制模式。单个 GPIO 引脚上的低到高转换决定了所选的 NCO 通道。内部通道选择计数器由 SYSREF±或 DDC 软复位复位。要使用 GPIO 边沿控制模式进行 NCO 通道选择，必须遵循以下程序：
- Configure one or more GPIO pins as NCO channel select inputs.
    1. 配置一个或多个 GPIO 引脚作为 NCO 通道选择输入。 a. To use GPIO_A0, write bits [2:0] of register 0x0040 to 0x6, and write bits [3:0] of register 0x0041 to 0x0. a. 要使用 GPIO_A0，请将寄存器 0x0040 中的位[2:0]写入 0x6，将寄存器 0x0041 中的位[3:0]写入 0x0 b. To use GPIO_B0, write bits [5:3] of register 0x0040 to 0x6, and write bits [7:4] of register 0x0041 to 0x0. b. 要使用 GPIO_B0，请将寄存器 0x0040 中的位[5:3]写入 0x6，将寄存器 0x0041 中的位[7:4]写入 0x0 c. To use GPIO_A1, write bits [3:0] of register 0x0042 to 0x0. c. 要使用 GPIO_A1，请将寄存器 0x0042 中的位[3:0]写入 0x0 d. To use GPIO_B1, write bits [7:4] of register 0x0042 to 0x0. d. 要使用 GPIO_B1，请将寄存器 0x0042 中的位[7:4]写入 0x0。
- Configure the NCO channel selector to GPIO edge control mode by setting bits [7:4] of the NCO control registers (register 0x0314, register 0x0334, register 0x0354, and register 0x0374) to 0x8 through 0xB, depending on the desired GPIO pin; select the NCO channel via the channel configuration strobe registers (register 0x0315, register 0x0335, register 0x0355, and register 0x0375), and write the corresponding FTW, POW.
    1. 通过将 NCO 控制寄存器（寄存器 0x0314、寄存器 0x0334、寄存器 0x0354 和寄存器 0x0374）中的位 [7:4]设置为 0x8 至 0xB，将 NCO 通道选择器配置为 GPIO 边沿控制模式，具体取决于所需的 GPIO 引脚，通过通道配置选通寄存器（寄存器 0x0315、寄存器 0x0335、寄存器 0x0355 和寄存器 0x0375）选中 NCO 通道，并写入相应的 FTW,POW。
- Configure the wrap point for NCO channel selection by setting bits [3:0] of the NCO control registers (register 0x0314, register 0x0334, register 0x0354, and register 0x0374). For example, a value of 4 causes the channel selection to wrap back to channel 0 after channel 4 (e.g., 0, 1, 2, 3, 4, 0, 1, 2, 3, 4).
    1. 通过设置 NCO 控制寄存器（寄存器 0x0314、寄存器 0x0334、寄存器 0x0354 和寄存器 0x0374）中的位 [3:0]，为 NCO 通道选择配置回绕点。比如，值 4 会导致通道选择在通道 4 后绕回通道 0（例如，0、1、2、3、4、0、1、2、3、4）。
- A low-to-high edge transition on the selected GPIO pin triggers NCO channel selection.
    1. 选定的 GPIO 引脚给出从低电平到高电平的边沿跳变触发 NCO 通道选择。
- Register control mode.
- 寄存器控制模式
- Select the NCO channel via the channel configuration strobe registers (register 0x0315, register 0x0335, register 0x0355, and register 0x0375), and write the corresponding FTW, POW.
    1. 通过通道配置选通寄存器（寄存器 0x0315、寄存器 0x0335、寄存器 0x0355 和寄存器 0x0375）选中 NCO 通道，并写入相应的 FTW,POW。
- Select register control mode by setting bits [7:4] of the NCO control registers (register 0x0314, register 0x0334, register 0x0354, and register 0x0374) to 0x0, and set bits [3:0] to 0x0 through 0xF to select the corresponding channel.
    1. 通过将 NCO 控制寄存器（寄存器 0x0314、寄存器 0x0334、寄存器 0x0354 和寄存器 0x0374）中位[7:4]设为 0x0，从而选中寄存器控制模式，位[3:0]设置为 0x0 至 0xF 选中对应通道。

Figure 26 shows an example use case of coherent mode with three NCO channels. In this example, NCO channel 0 is downconverting bandwidth 0 (B0), while NCO channels 1 and 2 are in standby mode and tuned to bandwidths 1 and 2 (B1 and B2) respectively.

图 26 显示了使用三个 NCO 通道的相干模式示例用例。在此示例中，NCO 通道 0 正在下变频带宽 0(B0)，而 NCO 通道 1 和通道 2 处于待机模式并分别调谐到带宽 1 和带宽 2（B1 和 B2）。

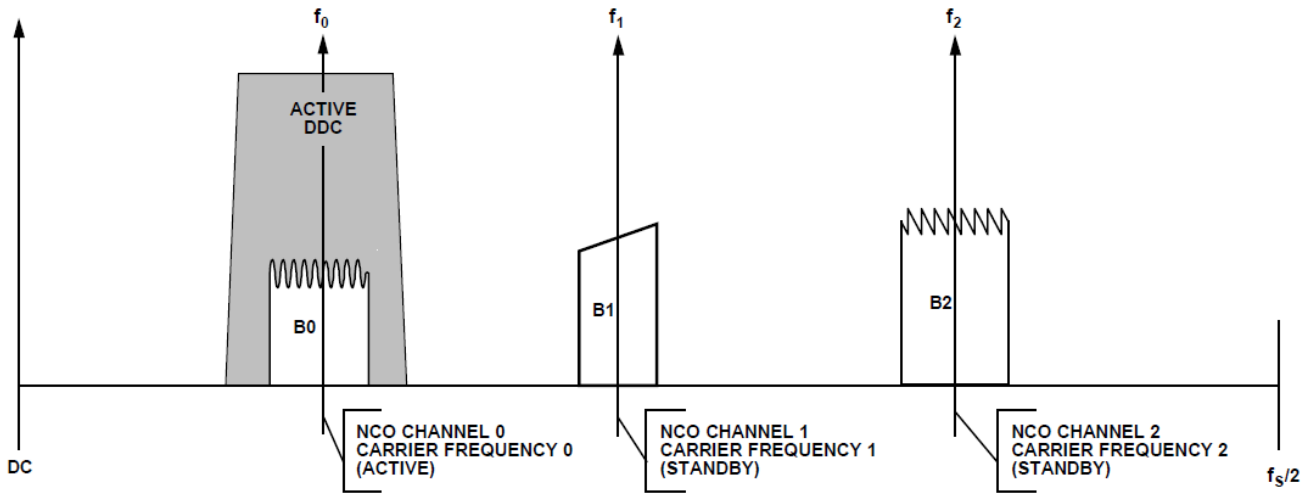


Figure 26: 具有三个 NCO 通道的 NCO 相干模式（选择 B0）

The phase-coherent NCO switching feature allows unlimited phase-coherent frequency hops. The initial phase of the NCO is synchronized to SYSREF±. Switching the NCO FTW does not affect the phase; using this feature, only one FTW is required, and the user can queue hops using all 16 channels. If SYSREF± synchronization is completed at chip startup, the NCOs of all chips in multiple chips are inherently synchronized.

相位相干 NCO 切换功能允许无限次的相位相干跳频。NCO 的初始相位与 SYSREF±同步。切换 NCO FTW 不会影响相位，使用此功能，只需要一个 FTW，用户可使用所有 16 个通道排队跳频。在芯片启动时如果完成 SYSREF±同步，多个芯片的所有 NCO 在本质上是同步的。

11.8 NCO 同步 / NCO Synchronization

Each NCO contains a separate phase accumulator word (PAW); the initial reset value of each PAW is zero and increments every clock cycle. The instantaneous phase of the NCO is computed using the PAW, FTW, MAW, MBW, and POW. Due to this architecture, the FTW and POW registers can be updated at any time, and the NCO's PAW still maintains deterministic phase results. There are two methods to synchronize the PAWs within a chip:

每个 NCO 都含有一个单独的相位累加字(PAW)，每个 PAW 的初始复位值为零并在每个时钟周期递增。使用 PAW、FTW、MAW、MBW 和 POW 计算 NCO 的瞬时相位。由于这种架构，FTW 和 POW 寄存器可以随时更新，NCO 的 PAW 仍然保持确定性相位结果。同步芯片内的 PAW 有两种方法：

- SPI enable. The DDC NCO soft reset register (bit 4 of register 0x0300) in the DDC sync control register can be used to reset all PAWs in the chip. This reset is performed by setting the DDC soft reset control bit high and then low again. Note that this method can only synchronize DDC channels within the same chip.

- 使 SPI。可以利用 DDC 同步控制寄存器中的 DDC NCO 软复位寄存器(寄存器 0x0300 的位 4）来复位芯片中的所有 PAW。此复位通过将 DDC 软复位控制位设置为高，然后再设置为低来完成的。请注意，此方法只能同步同一芯片内的 DDC 通道。
- Use the SYSREF± pins. If the SYSREF± pins are enabled via the SYSREF± control registers (register 0x0120 and register 0x0121), and DDC synchronization is enabled via bits [1:0] of the DDC sync control register (register 0x0300), then any subsequent SYSREF± event resets all PAWs in the chip. Note that this method can be used to synchronize DDC channels within the same chip, and also DDC channels in different chips.
- 使用 SYSREF±引脚。如果通过 SYSREF±控制寄存器(寄存器 0x0120 和寄存器 0x0121)使能 SYSREF±引脚，并且通过 DDC 同步控制寄存器(寄存器 0x0300)的位[1:0]使能 DDC 同步，则随后的任何 SYSREF±事件都会复位芯片中的全部 PAW。请注意，此方法可用于同步同一芯片内的 DDC 通道，也可以同步不同芯片内的 DDC 通道。

11.9 DDC 混频器说明 / DDC Mixer Description

When not bypassed (register 0x0200 ≠ 0x00), the digital quadrature mixer performs an operation similar to an analog quadrature mixer, downconverting the input signal (real or complex) using the NCO frequency as the local oscillator. For real input signals, a real mixer operation is performed (using two multipliers). For complex input signals, a complex mixer operation is performed (using four multipliers and two adders). Bit 7 of the DDC control registers (register 0x0310, register 0x0330, register 0x0350, and register 0x0370) can be used to select real or complex input for each DDC module.

当未旁路时（寄存器 0x0200≠0x00），数字正交混频器完成与模拟正交混频器类似的操作，通过将 NCO 频率用作本振执行输入信号（实数或复数）的下变频。对于实数输入信号，执行实数混频器操作（使用两个乘法器）。对于复数的输入信号，执行复数的混频器操作（使用四个乘法器和两个加法器）。可以使用 DDC 控制寄存器（寄存器 0x0310、寄存器 0x0330、寄存器 0x0350 和寄存器 0x0370）的位 7 为每个 DDC 模块选择实数或复数输入。

NCO + mixer loss and SFDR:

NCO+混频器损耗和 SFDR

When a real input signal is downmixed to baseband, there is a 6dB loss due to filtering of the negative image. In addition, the NCO causes a 0.05dB loss. The total loss for a real input signal downmixed to baseband is 6.05dB. Therefore, users are advised to enable the additional 6dB gain in the DDC gain stage to compensate for the above loss.

将实数输入信号下混频至基带时，由于对负镜像的滤波，信号会有 6dB 的损失。另外，NCO 也会造成 0.05dB 的损失。下混频至基带的实数输入信号的总损失为 6.05dB。因此，建议用户使能 DDC 增益级中的 6dB 附加增益来补偿上述损失。

When a complex input signal (the I and Q inputs of the DDC come from different ADCs) is downmixed to baseband, the maximum value each I/Q sample can reach after passing through the complex mixer is 1.414x full scale. For complex signals, to prevent I/Q samples from exceeding the range and to keep the data width consistent with real mixing, the mixer causes a 3.06dB loss. In addition, the NCO also causes a 0.05dB loss. The total loss for a complex input signal downmixed to baseband is -3.11dB.

将复数输入信号（DDC 的 I 和 Q 输入来自不同的 ADC）下混频至基带时，每个 I/Q 样本经过复数混频器后能达到的最大值是 1.414x 满量程。对于复数信号，为了防止 I/Q 样本超出量程，以及使数据位宽与实数混频一致，混

频器会造成 3.06dB 的损失。另外，NCO 也会造成 0.05dB 的损失。下混频至基带的复数输入信号的总损失为-3.11dB。

For all output frequencies, the worst-case spur SFDR of the NCO output is greater than 102dBc.

对于所有输出频率，NCO 输出的最差情况杂散信号的 SFDR 大于 102dBc。

DDC decimation filters:

DDC 抽取滤波器

After frequency conversion, multiple decimation filters are available to reduce the output data rate. After downconverting the carrier frequency of interest to DC, these filters effectively reduce the sampling rate while providing sufficient adjacent-carrier alias suppression. Figure 27 shows a simplified block diagram of the decimation filter stages; describes the characteristics of the different finite impulse response (FIR) filter modules. and show the different filter configurations that can be selected by including different filters. In all cases, the DDC filter stage provides 80% usable output bandwidth and 100dB stopband alias suppression.

在频率转换之后，有多个抽取滤波器可降低输出数据速率。把感兴趣的载波频率下变频到直流后，这些滤波器可有效的降低采样率，同时提供充足的临近载波混叠抑制。图 27 显示了抽取滤波器级的简化框图，描述了不同有限脉冲响应(FIR)滤波器模块的特性。和显示了可以通过包含不同滤波器来选择的不同滤波器配置。在所有情况下，DDC 滤波级提供 80%的可用输出带宽、100dB 的阻带混叠抑制。

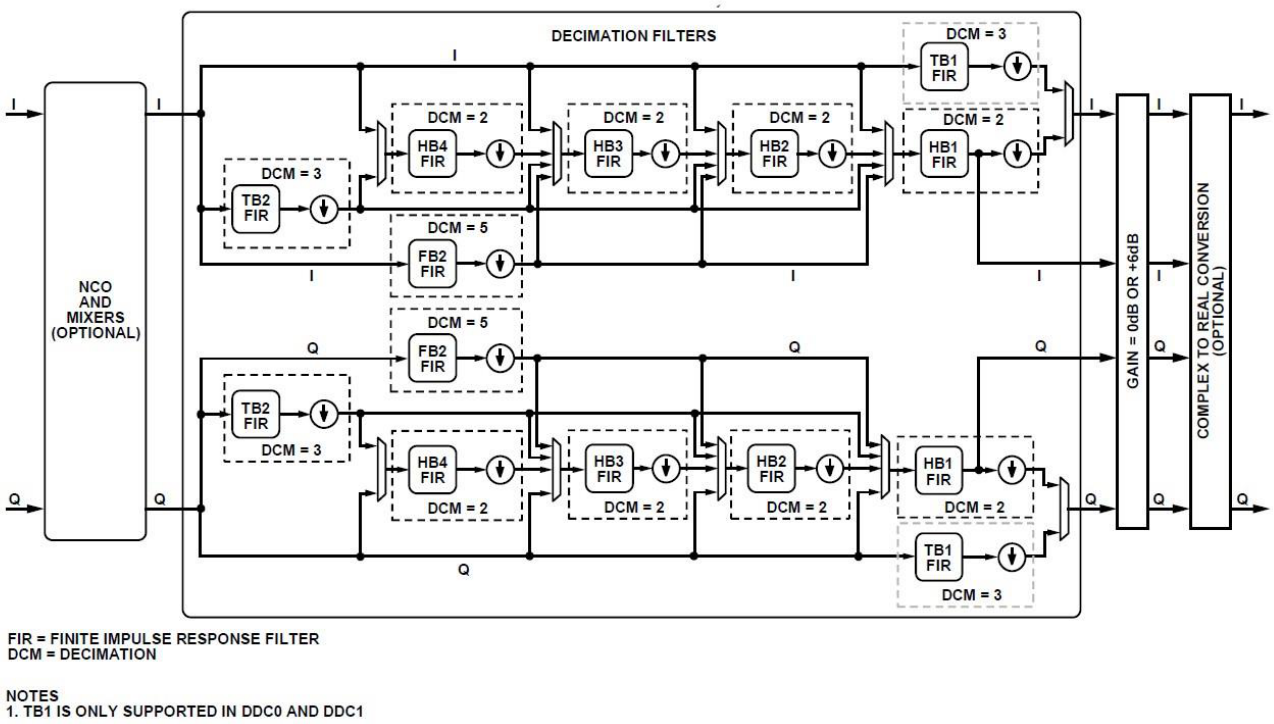


Figure 27: DDC 抽取滤波器框图

表6 / Table 6 — DDC 抽取滤波器特性 / DDC Decimation Filter Characteristics

滤波器名称 / Filter Name	滤波器类型 / Filter Type	抽取率 / Decimation Rate	通带(弧度/秒) / Passband (rad/s)	阻带(弧度/秒) / Stopband (rad/s)	通带纹波(dB) / Passband Ripple (dB)	阻带衰减(dB) / Stopband Attenuation (dB)
HB4	低通FIR / Low-pass FIR	2	0.1 π/2	1.9 π/2	<±0.001	>100
HB3	低通FIR / Low-pass FIR	2	0.2 π/2	1.8 π/2	<±0.001	>100
HB2	低通FIR / Low-pass FIR	2	0.4 π/2	1.6 π/2	<±0.001	>100
HB1	低通FIR / Low-pass FIR	2	0.8 π/2	1.2 π/2	<±0.001	>100
TB2	低通FIR / Low-pass FIR	3	0.4 π/3	1.6 π/3	<±0.002	>100
TB1[1]	低通FIR / Low-pass FIR	3	0.8 π/3	1.2 π/3	<±0.005	>100
FB2	低通FIR / Low-pass FIR	5	0.4 π/5	1.6 π/5	<±0.001	>100

[1]TB1 仅在DDC0 和DDC1 中受支持。 / [1]TB1 is only supported in DDC0 and DDC1.

表7 / Table 7 — DDC 滤波器配置 / DDC Filter Configurations

ADC 采样率 / ADC Sample Rate fS	DDC 滤波器配置 / DDC Filter Configuration	实数(I)输出抽取率 / Real (I) Output Decimation	实数(I)输出采样率 / Real (I) Output Sample Rate	复数(I/Q)输出抽取率 / Complex (I/Q) Output Decimation	复数(I/Q)输出采样率 / Complex (I/Q) Output Sample Rate	可预防混叠带宽 / Alias-Protected Bandwidth	理想信噪比提升 (dB)[2] / Ideal SNR Improvement (dB)[2]
fS	HB1	1	fS	2	fS/2(I)+ fS/2(Q)	fS/2 80%	1
fS	TB1[3]	N/A	N/A	3	fS/3(I)+ fS/3(Q)	fS/3 80%	2.7
fS	HB2+HB1	2	fS/2	4	fS/4(I)+ fS/4(Q)	fS/4 80%	4
fS	TB2+HB1	3	fS/3	6	fS/6(I)+ fS/6(Q)	fS/6 80%	5.7
fS	HB3+HB2+HB1	4	fS/4	8	fS/8(I)+ fS/8(Q)	fS/8 80%	7
fS	FB2+HB1	5	fS/5	10		fS/10 80%	8

ADC 采样率 / ADC Sample Rate fS	DDC 滤波器配置 / DDC Filter Configuration	实数(I)输出抽取率 / Real (I) Output Decimation	实数(I)输出采样率 / Real (I) Output Sample Rate	复数(I/Q)输出抽取率 / Complex (I/Q) Output Decimation	复数(I/Q)输出采样率 / Complex (I/Q) Output Sample Rate	可预防混叠带宽 / Alias-Protected Bandwidth	理想信噪比提升 (dB)[2] / Ideal SNR Improvement (dB)[2]
					fS/10(I)+ fS/10(Q)		
fS	TB2+HB2+HB1	6	fS/6	12	fS/12(I)+ fS/12(Q)	fS/12 80%	8.8
fS	FB2+TB1[3]	N/A	N/A	15	fS/15(I)+ fS/15(Q)	fS/15 80%	9.7
fS	HB4+HB3+HB2+HB1	8	fS/8	16	fS/16(I)+ fS/16(Q)	fS/16 80%	10
fS	FB2+HB2+HB1	10	fS/10	20	fS/20(I)+ fS/20(Q)	fS/20 80%	11
fS	TB2+HB3+HB2+HB1	12	fS/12	24	fS/24(I)+ fS/24(Q)	fS/24 80%	11.8
fS	HB2+FB2+TB1[3]	N/A	N/A	30	fS/30(I)+ fS/30(Q)	fS/30 80%	12.7
fS	FB2+HB3+HB2+HB1	20	fS/20	40	fS/40(I)+ fS/40(Q)	fS/40 80%	14
fS	TB2+HB4+HB3+HB2+HB1	24	fS/24	48	fS/48(I)+ fS/48(Q)	fS/48 80%	14.8

[1]N/A 表示不适用。/ [1]N/A = not applicable. [2]由于过采样和滤波导致的 SNR 改善=10log（带宽/fS/2）。/ [2]SNR improvement due to oversampling and filtering = 10log(bandwidth/fS/2). [3]TB1 仅在DDC0 和DDC1 中受支持。/ [3]TB1 is only supported in DDC0 and DDC1.

表8 / Table 8 — DDC 滤波器配置（fs=2600MSPS) / DDC Filter Configurations (fs=2600MSPS)

ADC 采样率 (MSPS) / ADC Sample Rate (MSPS)	DDC 滤波器配置 / DDC Filter Configuration	实数(I)输出抽取率 / Real (I) Output Decimation	实数(I)输出采样率(MSPS) / Real (I) Output Sample Rate (MSPS)	复数(I/Q)输出抽取率 / Complex (I/Q) Output Decimation	复数(I/Q)输出采样率(MSPS) / Complex (I/Q) Output Sample Rate (MSPS)	可预防混叠带宽 (MHz) / Alias-Protected Bandwidth (MHz)
2600	HB1	1	2600	2	1300(I)+1300(Q)	1040
2600	TB1[2]	N/A	N/A	3	866.67(I) +866.67(Q)	693.33
2600	HB2+HB1	2	1300	4	650(I)+650(Q)	520
2600	TB2+HB1	3	866.67	6	433.33(I) +433.33(Q)	346.67
2600	HB3+HB2+HB1	4	650	8	325(I)+325(Q)	260
2600	FB2+HB1	5	520	10	260(I)+260(Q)	208
2600	TB2+HB2+HB1	6	433.33	12	216.67(I) +216.67(Q)	173.34

ADC 采样率 (MSPS) / ADC Sample Rate (MSPS)	DDC 滤波器配置 / DDC Filter Configuration	实数(I)输出抽取率 / Real (I) Output Decimation	实数(I)输出采样率(MSPS) / Real (I) Output Sample Rate (MSPS)	复数(I/Q)输出抽取率 / Complex (I/Q) Output Decimation	复数(I/Q)输出采样率(MSPS) / Complex (I/Q) Output Sample Rate (MSPS)	可预防混叠带宽 (MHz) / Alias-Protected Bandwidth (MHz)
2600	FB2+TB1[2]	N/A	N/A	15	173.33(I) +173.33(Q)	138.67
2600	HB4+HB3+HB2+HB1	8	325	16	162.5(I) +162.5(Q)	130
2600	FB2+HB2+HB1	10	260	20	130(I)+130(Q)	104
2600	TB2+HB3+HB2+HB1	12	216.67	24	106.33(I) +108.33(Q)	86.67
2600	HB2+FB2+TB1[2]	N/A	N/A	30	86.67(I) +86.67(Q)	69.33
2600	FB2+HB3+HB2+HB1	20	130	40	65(I)+65(Q)	52
2600	TB2+HB4+HB3+HB2+HB1	24	108.33	48	54.17(I) +54.17(Q)	43.37

[1]N/A 表示不适用。/ [1]N/A = not applicable. [2]TB1 仅在DDC0 和DDC1 中受支持。/ [2]TB1 is only supported in DDC0 and DDC1.

HB4 滤波器 / HB4 Filter:

The first 2× decimation, half-band, low-pass FIR filter (HB4) uses an 11-tap, symmetric, fixed-coefficient filter scheme optimized for low power. The HB4 filter is used only for complex outputs (16× decimation) or real outputs (8× decimation); in other cases the filter is bypassed. and Figure 28 show the HB4 filter coefficients and response.

第一个 2 倍抽取、半带、低通 FIR 滤波器(HB4)采用 11 抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB4 滤波器仅在复数输出(16 倍抽取)或实数输出(8 倍抽取)时使用，其他情况下旁路该滤波器。和图 28 显示了 HB4 滤波器的系数和响应。

表9 / Table 9 — HB4 滤波器系数 / HB4 Filter Coefficients

HB4系数值 / HB4 Coefficient Value	归一化系数 / Normalized Coefficient	十进制系数 (15位) / Decimal Coefficient (15-bit)
C1, C11	0.006042	99
C2, C10	0	0
C3, C9	−0.049377	−809
C4, C8	0	0
C5, C7	0.293304	4806
C6	0.5	8192

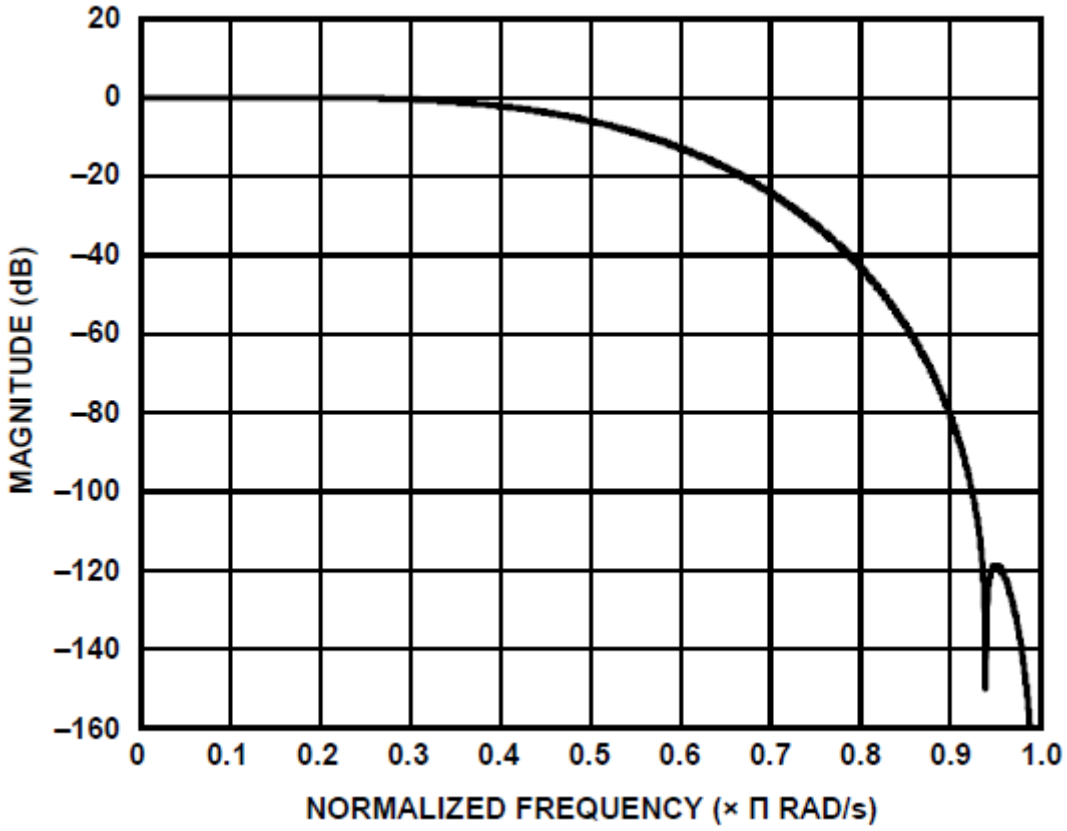


Figure 28: HB4 滤波器响应

HB3 滤波器 / HB3 Filter:

The second 2× decimation, half-band, low-pass FIR filter (HB3) uses an 11-tap, symmetric, fixed-coefficient filter scheme optimized for low power. The HB3 filter is enabled only for complex outputs (8× or 16× decimation) or real outputs (4× or 8× decimation); in other cases the filter is bypassed. and Figure 29 show the HB3 filter coefficients and response.

第二个 2 倍抽取、半带、低通 FIR 滤波器(HB3)采用 11 抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB3 滤波器仅在复数输出(8 倍或 16 倍抽取)或实数输出(4 倍或 8 倍抽取)使能时使用，其他情况下旁路该滤波器。和图 29 显示了 HB3 滤波器的系数和响应。

表10 / Table 10 — HB3 滤波器系数 / HB3 Filter Coefficients

HB3系数值 / HB3 Coefficient Value	归一化系数 / Normalized Coefficient	十进制系数 (17位) / Decimal Coefficient (17-bit)
C1, C11	0.006637	435
C2, C10	0	0
C3, C9	−0.051055	−3346
C4, C8	0	0
C5, C7	0.294418	19295
C6	0.500000	65536

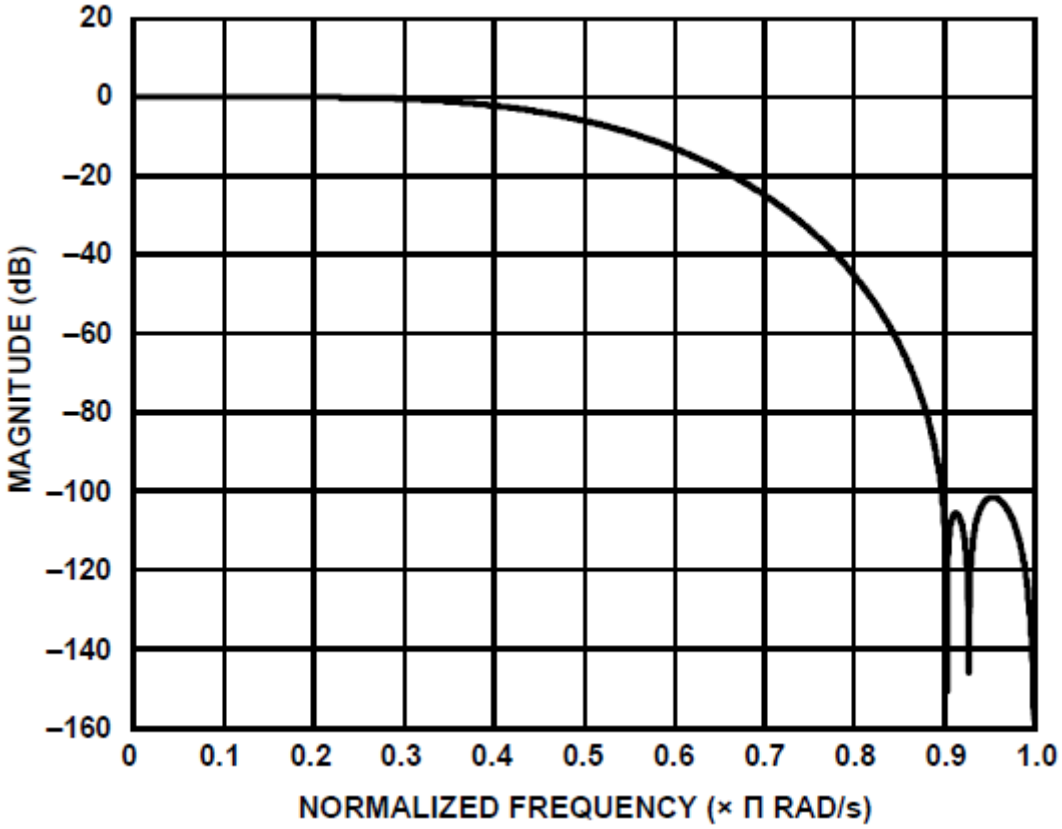


Figure 29: HB3 滤波器响应

HB2 滤波器 / HB2 Filter:

The third 2× decimation, half-band, low-pass FIR filter (HB2) uses a 19-tap, symmetric, fixed-coefficient filter scheme optimized for low power. The HB2 filter is used only for complex or real outputs (4×, 8×, or 16× decimation); in other cases the filter is bypassed. and Figure 30 show the HB2 filter coefficients and response.

第三个 2 倍抽取、半带、低通 FIR 滤波器(HB2)采用 19 抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB2 滤波器仅在复数或实数输出(4 倍、8 倍或 16 倍抽取)时使用，其他情况下旁路该滤波器。和图 30 显示了 HB2 滤波器的系数和响应。

表11 / Table 11 — HB2 滤波器系数 / HB2 Filter Coefficients

HB2系数值 / HB2 Coefficient Value	归一化系数 / Normalized Coefficient	十进制系数 (18位) / Decimal Coefficient (18-bit)
C1,C19	0.000671	88
C2,C18	0	0
C3,C17	−0.005325	−698
C4,C16	0	0
C5,C15	0.022743	2981
C6,C14	0	0
C7,C13	-0.074180	-9723
C8,C12	0	0

HB2系数值 / HB2 Coefficient Value	归一化系数 / Normalized Coefficient	十进制系数 (18位) / Decimal Coefficient (18-bit)
C9,C11	0.306091	40120
C10	0.5	65536

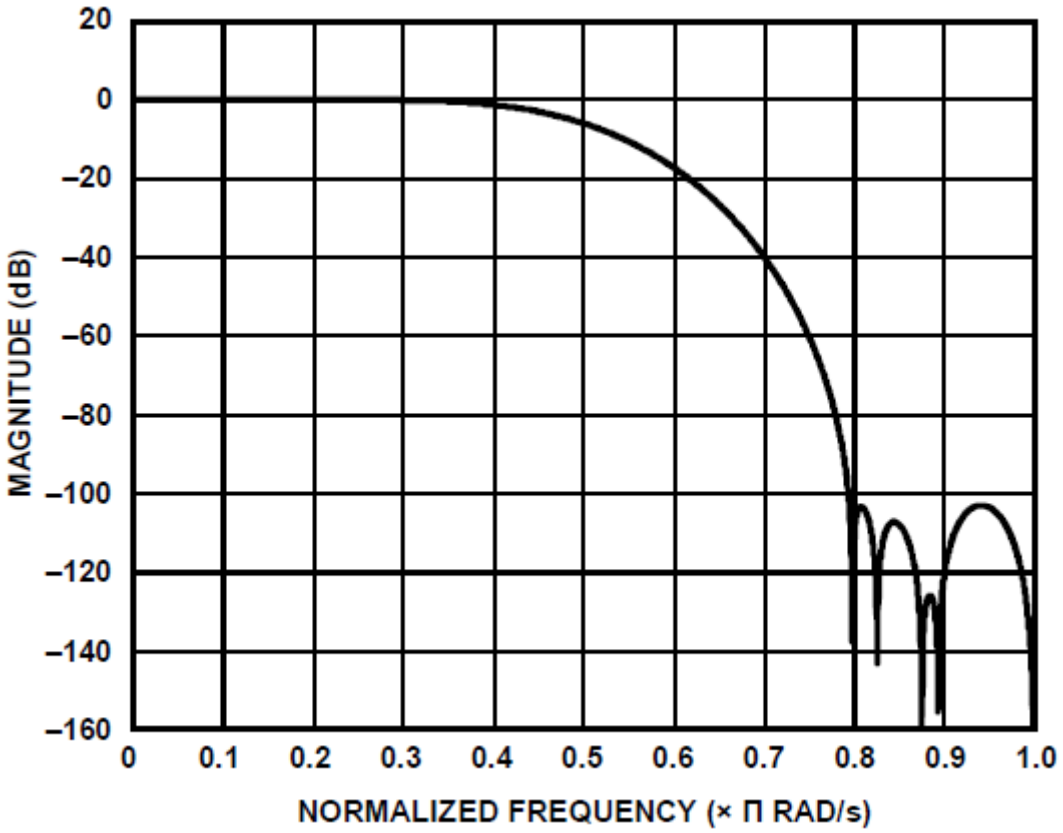


Figure 30: HB2 滤波器响应

HB1 滤波器 / HB1 Filter:

The fourth 2× decimation, half-band, low-pass FIR filter (HB1) uses a 63-tap, symmetric, fixed-coefficient filter scheme optimized for low power. The HB1 filter is always enabled and cannot be bypassed. and Figure 31 show the HB1 filter coefficients and response.

第四个 2 倍抽取、半带、低通 FIR 滤波器(HB1)采用 63 抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB1 滤波器始终使能，无法旁路。和图 31 显示了 HB1 滤波器的系数和响应。

表12 / Table 12 — HB1 滤波器系数 / HB1 Filter Coefficients

HB1系数值 / HB1 Coefficient Value	归一化系数 / Normalized Coefficient	十进制系数 (20位) / Decimal Coefficient (20-bit)
C1, C63	−0.000019	−10
C2, C62	0	0
C3, C61	0.000072	38
C4, C60	0	0
C5, C59	−0.000195	−102
C6, C58	0	0

HB1系数值 / HB1 Coefficient Value	归一化系数 / Normalized Coefficient	十进制系数 (20位) / Decimal Coefficient (20-bit)
C7, C57	0.000443	232
C8, C56	0	0
C9, C55	−0.000891	−467
C10, C54	0	0
C11, C53	0.001644	862
C12, C52	0	0
C13, C51	−0.00284	−1489
C14, C50	0	0
C15, C49	0.004654	2440
C16, C48	0	0
C17, C47	−0.007311	−3833
C18, C46	0	0
C19, C45	0.011122	5831
C20, C44	0	0
C21, C43	−0.016554	−8679
C22、C42	0	0
C23, C41	0.02442	12,803
C24, C40	0	0
C25, C39	−0.036404	−19,086
C26, C38	0	0
C27, C37	0.056866	29,814
C28, C36	0	0
C29, C35	−0.101892	−53,421
C30, C34	0	0
C31, C33	0.316883	166,138
C32	0.5	262,144

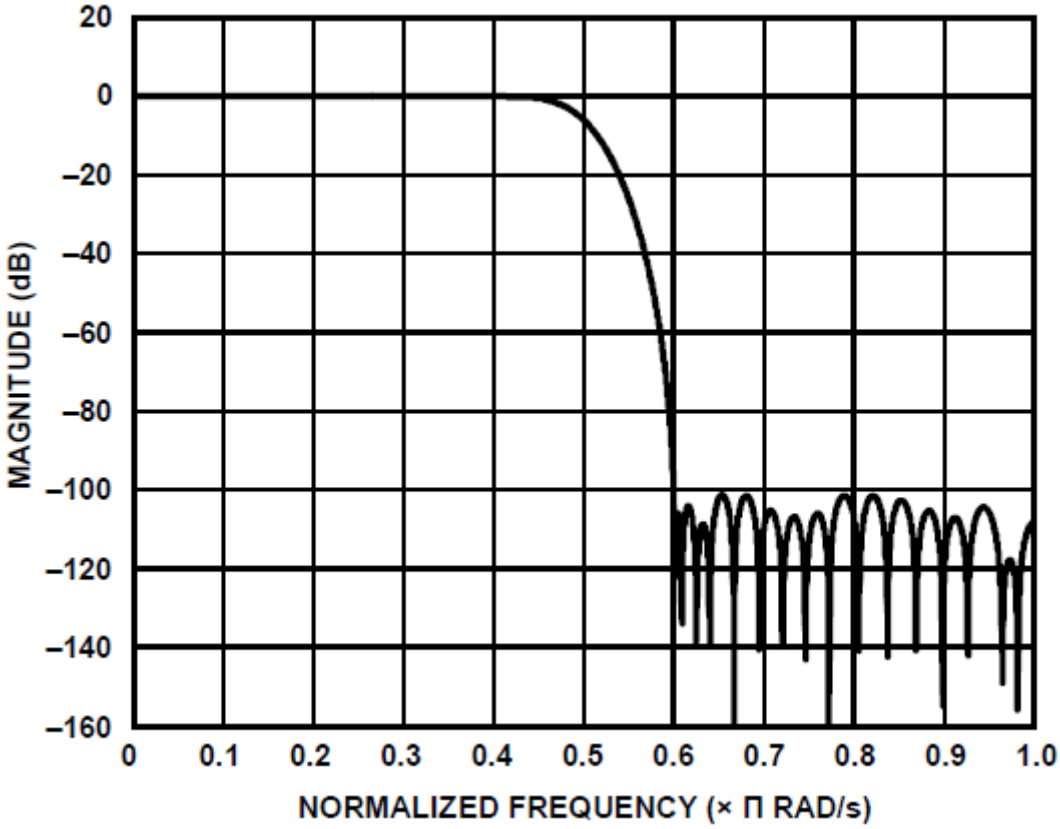


Figure 31: HB1 滤波器响应

TB2 滤波器 / TB2 Filter:

TB2 is implemented using a 26-tap, symmetric, fixed-coefficient filter optimized for low power. The TB2 filter is used only when decimation rates of 6, 12, or 24 are required. and Figure 32 show the TB2 filter coefficients and response.

TB2 使用 26 抽头、对称、固定系数滤波器实施，该滤波器针对低功耗进行了优化。TB2 滤波器仅在需要 6、12 或 24 的抽取率时使用。和图 32 显示了 TB2 滤波器的系数和响应。

表13 / Table 13 — TB2 滤波器系数 / TB2 Filter Coefficients

TB2系数值 / TB2 Coefficient Value	归一化系数 / Normalized Coefficient	十进制系数 (19位) / Decimal Coefficient (19-bit)
C1,C26	-0.000190	-50
C2,C25	-0.000793	208
C3,C24	-0.00113	-298
C4,C23	0.000915	240
C5,C22	0.006290	1649
C6,C21	0.009822	2575
C7,C20	0.000915	240
C8,C19	－0.023483	-6156
C9,C18	－0.043151	-11312
C10,C17	－0.019317	-5064

TB2系数值 / TB2 Coefficient Value	归一化系数 / Normalized Coefficient	十进制系数 (19位) / Decimal Coefficient (19-bit)
C11,C16	0.071327	18698
C12,C15	0.201171	52736
C13,C14	0.297756	78055

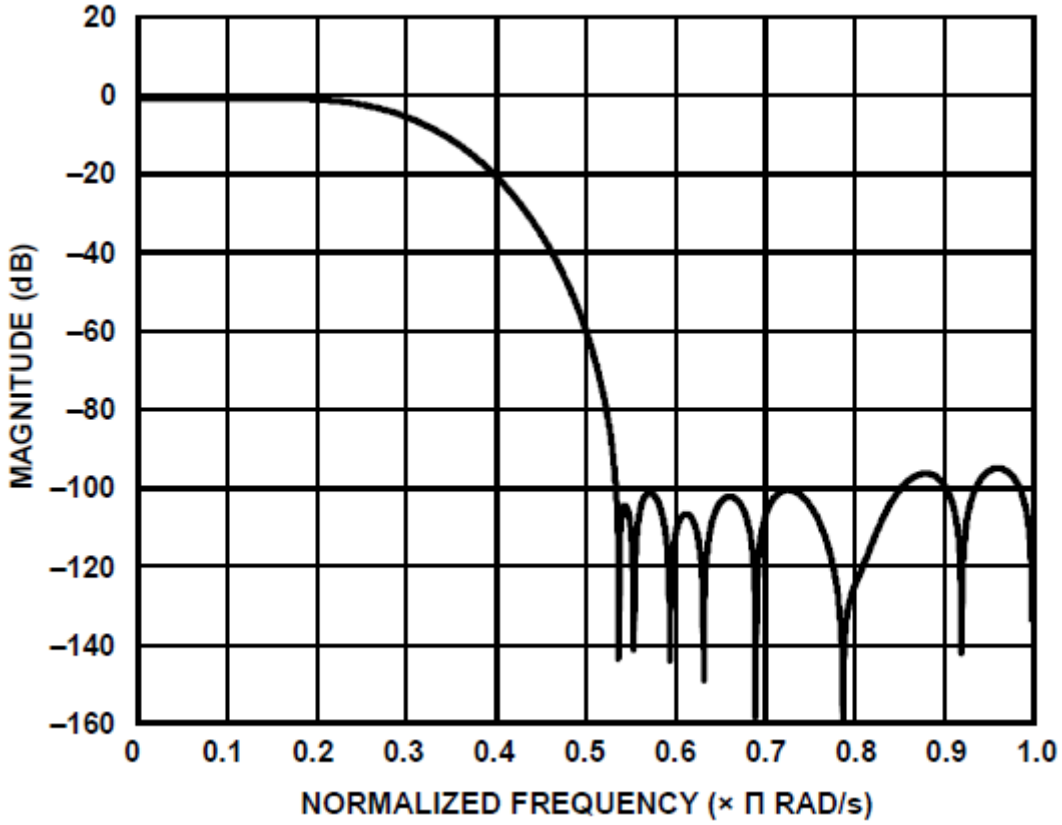


Figure 32: TB2 滤波器响应

TB1 滤波器 / TB1 Filter:

The TB1 decimate-by-3, low-pass FIR filter is implemented using a 76-tap, symmetric, fixed-coefficient filter. shows the TB1 filter coefficients, and Figure 33 shows the TB1 filter response. TB1 is only available in DDC0 and DDC1.

TB1 抽取 3、低通 FIR 滤波器使用 76 抽头、对称、固定系数滤波器实现。显示了 TB1 滤波器系数，图 33 显示了 TB1 滤波器响应。TB1 仅在 DDC0 和 DDC1 中可用。

表14 / Table 14 — TB1 滤波器系数 / TB1 Filter Coefficients

TB1系数值 / TB1 Coefficient Value	归一化系数 / Normalized Coefficient	十进制系数 (22位) / Decimal Coefficient (22-bit)
C1, C96	−0.000023	−96
C2, C75	−0.000053	−224
C3, C74	−0.000037	−156
C4, C73	0.00009	379
C5, C72	0.000291	1220

TB1系数值 / TB1 Coefficient Value	归一化系数 / Normalized Coefficient	十进制系数 (22位) / Decimal Coefficient (22-bit)
C6, C71	0.000366	1534
C7, C70	0.000095	398
C8, C69	−0.000463	−1940
C9, C68	−0.000822	−3448
C10, C67	−0.000412	−1729
C11, C66	0.000739	3100
C12, C65	0.001665	6984
C13, C64	0.001132	4748
C14, C63	−0.000981	−4114
C15, C62	−0.002961	−12418
C16, C61	−0.002438	−10226
C17, C60	0.001087	4560
C18, C59	0.004833	20272
C19, C58	0.004614	19352
C20, C57	−0.000871	−3652
C21, C56	−0.007410	−31080
C22, C55	−0.008039	−33718
C23, C54	0.000053	222
C24, C53	0.010874	45608
C25, C52	0.013313	55840
C26, C51	0.001817	7620
C27, C50	−0.015579	−65344
C28, C49	−0.021590	−90556
C29, C48	−0.005603	−23502
C30, C47	0.022451	94167
C31, C46	0.035774	150046
C32, C45	0.013541	56796
C33, C44	−0.034655	−145352
C34, C43	−0.066549	−279128
C35, C42	−0.035213	−147694
C36, C41	0.07122	298720
C37, C40	0.210777	884064
C38, C39	0.3092	1296880

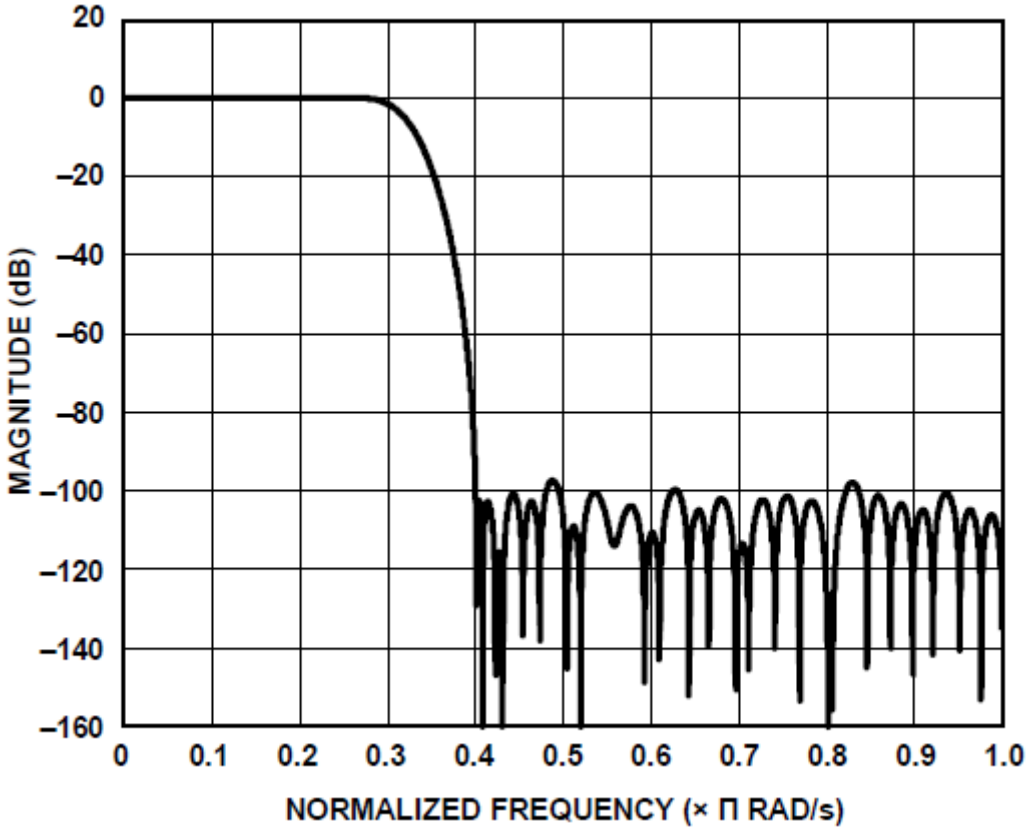


Figure 33: TB1 滤波器响应

FB2 滤波器 / FB2 Filter:

The FB2 decimate-by-5, low-pass FIR filter is implemented using a 48-tap, symmetric, fixed-coefficient filter. shows the FB2 filter coefficients, and Figure 34 shows the FB2 filter response.

FB2 抽取 5、低通 FIR 滤波器使用 48 抽头、对称、固定系数滤波器实现。显示了 FB2 滤波器系数，图 34 显示了 FB2 滤波器响应。

表15 / Table 15 — FB2 滤波器系数 / FB2 Filter Coefficients

TB1系数值 / TB1 Coefficient Value [as printed in source; actually FB2 coefficients]	归一化系数 / Normalized Coefficient	十进制系数 (22位) / Decimal Coefficient (22-bit)
C1, C48	0.000007	7
C2, C47	−0.000004	−4
C3, C46	−0.000069	−72
C4, C45	−0.000244	−256
C5, C44	−0.000544	−570
C6, C43	−0.000870	−912
C7, C42	−0.000962	−1009
C8, C41	−0.000448	−470
C9, C40	0.000977	1024
C10, C39	0.003237	3394

TB1系数值 / TB1 Coefficient Value [as printed in source; actually FB2 coefficients]	归一化系数 / Normalized Coefficient	十进制系数 (22位) / Decimal Coefficient (22-bit)
C11, C38	0.005614	5887
C12, C37	0.006714	7040
C13, C36	0.004871	5108
C14, C35	−0.001011	−1060
C15, C34	−0.010456	−10964
C16, C33	−0.020729	−21736
C17, C32	−0.026978	−28288
C18, C31	−0.023453	−24592
C19, C30	−0.005608	−5880
C20, C29	0.027681	29026
C21, C28	0.07272	76252
C22, C27	0.121223	127112
C23, C26	0.162346	170232
C24, C25	0.185959	194992

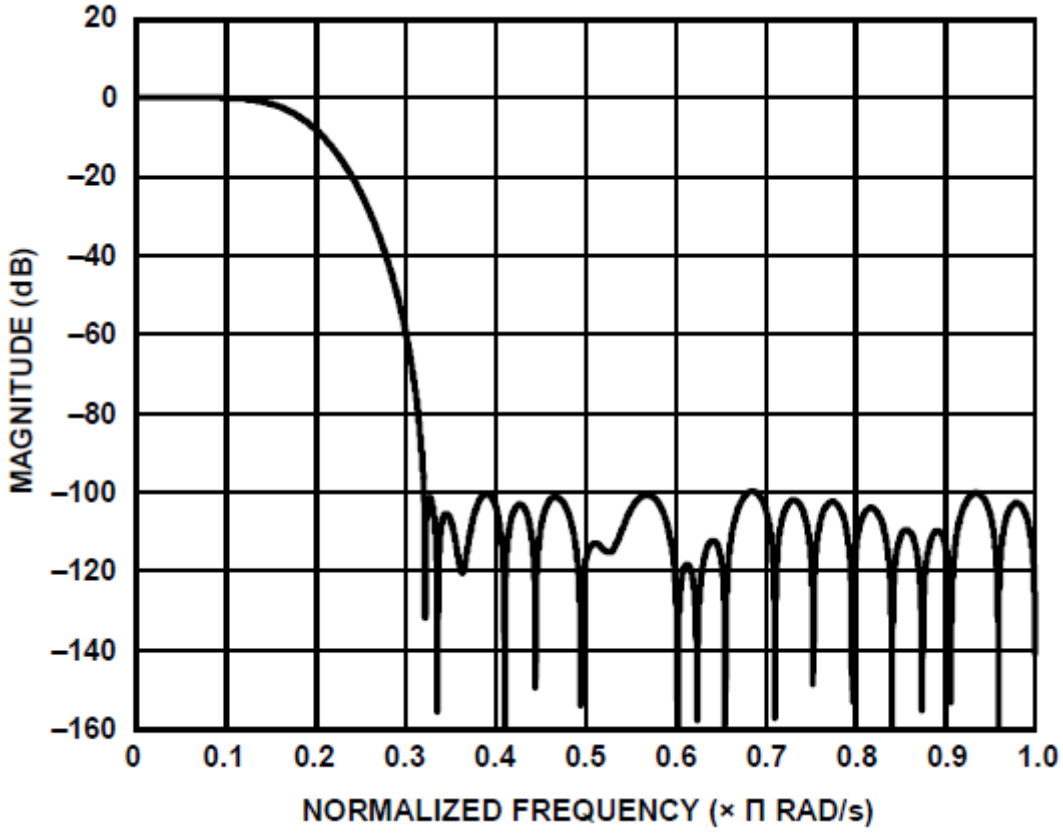


Figure 34: FB2 滤波器响应

DDC 增益级 / DDC Gain Stage:

Each DDC contains an independently controlled gain stage. A gain of 0dB or 6dB can be selected. When a real input signal is downmixed to baseband, users are advised to enable the 6dB gain.

每个 DDC 包含一个独立控制的增益级。可以选择 0dB 或 6dB 的增益。实数输入信号下混频至基带时，建议用户使能 6dB 增益。

When a complex input signal is mixed to baseband, no additional gain is needed. The optional 6dB gain can be used to compensate for lower-amplitude signals. When using the complex-to-real conversion stage, the 2× downsampling of the HB1 FIR filter is bypassed. The TB1 filter has no 6dB gain stage.

复数输入信号混频至基带时，无需额外的增益。可选的 6dB 增益可用来补偿强度较低的信号。使用复数至实数转换级时，HB1 FIR 滤波器的 2 倍下采样被旁路。TB1 滤波器没有 6dB 增益级。

DDC 复数—实数转换 / DDC Complex-to-Real Conversion:

Each DDC contains an independently controlled complex-to-real conversion module. The complex-to-real conversion module reuses the last filter of the filter stage (HB1 FIR), together with an fS/4 complex mixer to upconvert the signal. After the signal is upconverted, the Q portion of the complex mixer is no longer needed and is discarded. The TB1 filter does not support complex-to-real conversion. Figure 35 shows a simplified block diagram of complex-to-real conversion.

各 DDC 包含一个独立控制的复数至实数转换模块。复数至实数转换模块复用了滤波级的最后一个滤波器(HB1 FIR)，与一个 fS/4 复数混频器一起对信号进行上变频处理。信号上变频之后，复数混频器的 Q 部分不再需要，因而被丢弃。TB1 过滤器不支持复数到实数的转换。图 35 显示了复数到实数转换的简化框图。

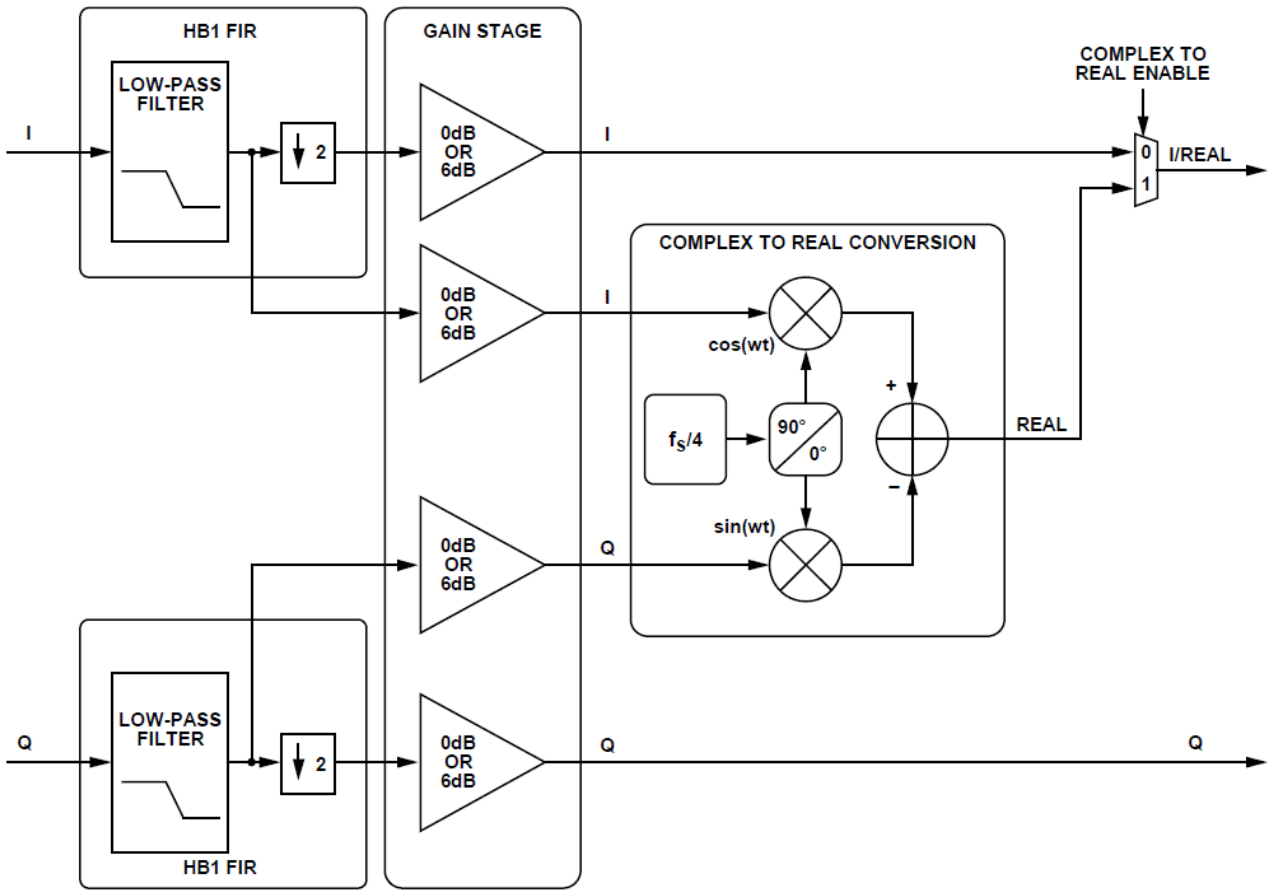


Figure 35: 复数到实数转换

DDC 混合抽取设置 / DDC Mixed Decimation Settings:

The SXA018 also supports DDCs with different decimation rates. In this case, the chip decimation rate must be set to the lowest decimation rate of all DDC channels. Samples of higher-decimation-rate DDCs are repeated to match the chip decimation rate. Only mixed decimation rates that are integer multiples of 2 are supported. For example, decimations 1, 2, 4, 8, or 16 can be mixed together; decimations 3, 6, 12, 24, or 48 can be mixed together; or decimations 5, 10, 20, or 40 can be mixed together. shows the DDC sample mapping when the chip decimation rate differs from the DDC decimation rate. For example, if the chip decimation rate is set to 4× decimation, DDC0 is set to use the HB2+HB1 filters (complex output, 4× decimation), and DDC1 is set to use the HB4+HB3+HB2+HB1 filters (real output, 8× decimation), the DDC1 output data is repeated twice; shows the final output samples.

SXA018 还支持具有不同抽取率的 DDC。在这种情况下，芯片抽取率必须设置为所有 DDC 通道的最低抽取率。高抽取率的 DDC 样本被重复从而匹配芯片抽取率。仅支持 2 的整数倍的混合抽取率。例如，抽取 1、2、4、8 或 16 可以混合在一起；抽取 3、6、12、24 或 48 可以混合在一起；或抽取 5、10、20 或 40 可以混合在一起。显示了芯片抽取率与 DDC 抽取率不同时的 DDC 样本映射。例如，如果芯片抽取率设置为 4 倍抽取，DDC0 设置为使用 HB2+HB1 滤波器（复数输出 4 倍抽取），DDC1 设置为使用 HB4+HB3+HB2+HB1 滤波器（实数输出 8 倍抽取)，DDC1 输出数据重复两次，显示了最终输出样本。

表16 / Table 16 — 芯片抽取率(DCM)与 DDC DCM 不匹配时的样本映射 / Sample Mapping When Chip Decimation Rate (DCM) Mismatches DDC DCM

样本指数 / Sample Index	DDC DCM=芯片抽取率 / DDC DCM = Chip Decimation Rate	DDC DCM=2 芯片抽取率 / DDC DCM=2 Chip Decimation Rate	DDC DCM=4 芯片抽取率 / DDC DCM=4 Chip Decimation Rate	DDC DCM=8 芯片抽取率 / DDC DCM=8 Chip Decimation Rate
0	N	N	N	N
1	N+1	N	N	N
2	N+2	N+1	N	N
3	N+3	N+1	N	N
4	N+4	N+2	N+1	N
5	N+5	N+2	N+1	N
6	N+6	N+3	N+1	N
7	N+7	N+3	N+1	N
8	N+8	N+4	N+2	N+1
9	N+9	N+4	N+2	N+1
10	N + 10	N+5	N+2	N+1
11	N + 11	N+5	N+2	N+1
12	N + 12	N+6	N+3	N+1
13	N + 13	N+6	N+3	N+1
14	N + 14	N+7	N+3	N+1
15	N + 15	N+7	N+3	N+1
16	N + 16	N+8	N+4	N+2
17	N + 17	N+8	N+4	N+2

样本指数 / Sample Index	DDC DCM=芯片抽取率 / DDC DCM = Chip Decimation Rate	DDC DCM=2 芯片抽取率 / DDC DCM=2 Chip Decimation Rate	DDC DCM=4 芯片抽取率 / DDC DCM=4 Chip Decimation Rate	DDC DCM=8 芯片抽取率 / DDC DCM=8 Chip Decimation Rate
18	N + 18	N+9	N+4	N+2
19	N + 19	N+9	N+4	N+2
20	N + 20	N + 10	N+5	N+2
21	N + 21	N + 10	N+5	N+2
22	N + 22	N + 11	N+5	N+2
23	N + 23	N + 11	N+5	N+2
24	N + 24	N + 12	N+6	N+3
25	N + 25	N + 12	N+6	N+3
26	N + 26	N + 13	N+6	N+3
27	N + 27	N + 13	N+6	N+3
28	N + 28	N + 14	N+7	N+3
29	N + 29	N + 14	N+7	N+3
30	N + 30	N + 15	N+7	N+3
31	N + 31	N + 15	N+7	N+3

表17 / Table 17 — DCM = 4、DDC0 DCM= 4(复数)且 DDC1 DCM = 8(实数) / DCM = 4, DDC0 DCM = 4 (Complex) and DDC1 DCM = 8 (Real)

DDC输入样本 / DDC Input Sample	DDC0 I端口输出 / DDC0 I-Port Output	DDC0 Q端口输出 / DDC0 Q-Port Output	DDC1 I端口输出 / DDC1 I-Port Output	DDC1 Q端口输出 / DDC1 Q-Port Output
N	I0[N]	Q0[N]	I1[N]	不适用 / N/A
N+1	I0[N]	Q0[N]	I1[N]	不适用 / N/A
N+2	I0[N]	Q0[N]	I1[N]	不适用 / N/A
N+3	I0[N]	Q0[N]	I1[N]	不适用 / N/A
N+4	I0[N+1]	Q0[N+1]	I1[N]	不适用 / N/A
N+5	I0[N+1]	Q0[N+1]	I1[N]	不适用 / N/A
N+6	I0[N+1]	Q0[N+1]	I1[N]	不适用 / N/A
N+7	I0[N+1]	Q0[N+1]	I1[N]	不适用 / N/A
N+8	I0[N+2]	Q0[N+2]	I1[N+1]	不适用 / N/A
N+9	I0[N+2]	Q0[N+2]	I1[N+1]	不适用 / N/A
N + 10	I0[N+2]	Q0[N+2]	I1[N+1]	不适用 / N/A
N + 11	I0[N+2]	Q0[N+2]	I1[N+1]	不适用 / N/A
N + 12	I0[N+3]	Q0[N+3]	I1[N+1]	不适用 / N/A
N + 13	I0[N+3]	Q0[N+3]	I1[N+1]	不适用 / N/A
N + 14	I0[N+3]	Q0[N+3]	I1[N+1]	不适用 / N/A
N + 15	I0[N+3]	Q0[N+3]	I1[N+1]	不适用 / N/A

DDC 示例配置 / DDC Example Configurations:

The table below describes the register settings for several DDC example configurations.

下表描述了多个 DDC 示例配置的寄存器设置。

表18 / Table 18 — DDC 配置示例 / DDC Configuration Examples

芯片应用层 / Chip Application Layer	芯片抽取率 / Chip Decimation Rate	DDC输入类型 / DDC Input Type	DDC输出类型 / DDC Output Type	每个DDC带宽 / Bandwidth per DDC	虚拟转换器数量 / Virtual Converter Count	寄存器配置 / Register Configuration
1个DDC / 1 DDC	2	复数 / Complex	复数 / Complex	40%×fS	2	0x0200=0x01(一个DDC;I/Q选择 / one DDC; I/Q select) 0x0201=0x01(芯片抽取率2 / chip decimation rate 2) 0x0310=0x83(复数混频器;0dB增益;可变IF;复数输出;HB1滤波器 / complex mixer; 0dB gain; variable IF; complex output; HB1 filter) 0x0311=0x04(DDC I输入=ADC通道A;DDC Q输入=ADC通道B / DDC I input = ADC channel A; DDC Q input = ADC channel B) 根据DDC0的要求配置FTW和POW / Configure FTW and POW per DDC0 requirements: FTW=0x0316，0x0317，0x0318，0x0319，0x031A，0x031B POW=0x031D，0x031E，0x031F，0x0320，0x0321，0x0322
2个DDC / 2 DDCs	4	复数 / Complex	复数 / Complex	20%×fS	4	0x0200=0x02(两个DDCs;I/Q选择 / two DDCs; I/Q select) 0x0201=0x02(芯片抽取率4 / chip decimation rate 4) 0x0310，0x0330=0x80(复数混频器;0dB增益;可变IF;复数输出;HB2+HB1滤波器 / complex mixer; 0dB gain; variable IF; complex output; HB2+HB1 filters) 0x0311，0x0331=0x04(DDCI输入=ADC通道A;DDCQ输入=ADC通道B / DDC I input = ADC channel A; DDC Q input = ADC channel B) 根据DDC0的要求配置FTW和POW / Configure FTW and POW per DDC0 requirements: FTW=0x0316，0x0317，0x0318，0x0319，0x031A，0x031B POW=0x031D，0x031E，0x031F，0x0320，0x0321，0x0322 根据DDC1的要求配置FTW和POW / Configure FTW and POW per DDC1 requirements: FTW=0x0336，0x0337，0x0338，

芯片应用层 / Chip Application Layer	芯片抽取率 / Chip Decimation Rate	DDC输入类型 / DDC Input Type	DDC输出类型 / DDC Output Type	每个DDC带宽 / Bandwidth per DDC	虚拟转换器数量 / Virtual Converter Count	寄存器配置 / Register Configuration
						0x0339，0x033A，0x033B POW=0x033D，0x033E，0x033F， 0x0340，0x0341，0x0342
2个DDC / 2 DDCs	4	复数 / Complex	实数 / Real	10%×fS	2	0x0200=0x22(两个DDCs;选择I / two DDCs; select I) 0x0201=0x02(芯片抽取率4 / chip decimation rate 4) 0x0310，0x0330=0x89(复数混频器;0dB增益;可变IF;实数输出;HB3+HB2+HB1滤波器 / complex mixer; 0dB gain; variable IF; real output; HB3+HB2+HB1 filters) 寄存器0x0311，寄存器0x033=0x04(DDCI输入=ADC通道A;DDC Q输入=ADC通道B / DDC I input = ADC channel A; DDC Q input = ADC channel B) 根据DDC0的要求配置FTW和POW / Configure FTW and POW per DDC0 requirements: FTW=0x0316，0x0317，0x0318， 0x0319，0x031A，0x031B POW=0x031D，0x031E，0x031F， 0x0320，0x0321，0x0322 根据DDC1的要求配置FTW和POW / Configure FTW and POW per DDC1 requirements: FTW=0x0336，0x0337，0x0338， 0x0339，0x033A，0x033B POW=0x033D，0x033E，0x033F， 0x0340，0x0341，0x0342
2个DDC / 2 DDCs	4	实数 / Real	实数 / Real	10%×fS	2	0x0200=0x22(2个DDCs;选择I / 2 DDCs; select I) 0x0201=0x02(芯片抽取率4 / chip decimation rate 4) 0x0310，0x0330=0x49(实数混频器;6dB增益;可变IF;实数输出;HB3+HB2+HB1滤波器 / real mixer; 6dB gain; variable IF; real output; HB3+HB2+HB1 filters) 0x0311=0x00(DDC0 I输入=ADC通道A;DDC0 Q输入=ADC通道A / DDC0 I input = ADC channel A; DDC0 Q input = ADC channel A) 0x0331=0x05(DDC1 I输入=ADC通道B;DDC1 Q输入=ADC通道B / DDC1 I input = ADC channel B; DDC1 Q input = ADC channel B) 根据DDC0的要求配置FTW和POW / Configure FTW and POW per DDC0 requirements:

芯片应用层 / Chip Application Layer	芯片抽取率 / Chip Decimation Rate	DDC输入类型 / DDC Input Type	DDC输出类型 / DDC Output Type	每个DDC带宽 / Bandwidth per DDC	虚拟转换器数量 / Virtual Converter Count	寄存器配置 / Register Configuration
						FTW=0x0316，0x0317，0x0318，0x0319，0x031A，0x031B POW=0x031D，0x031E，0x031F，0x0320，0x0321，0x0322 根据DDC1的要求配置FTW和POW / Configure FTW and POW per DDC1 requirements: FTW=0x0336，0x0337，0x0338，0x0339，0x033A，0x033B POW=0x033D，0x033E，0x033F，0x0340，0x0341，0x0342
2个DDC / 2 DDCs	4	实数 / Real	复数 / Complex	20%×fS	4	0x0200=0x02(两个DDCs;I/Q选择 / two DDCs; I/Q select) 0x0201=0x02(芯片抽取率4 / chip decimation rate 4) 0x0310，0x0330=0x40(实数混频器;6dB增益;可变IF;复数输出;HB2+HB1滤波器 / real mixer; 6dB gain; variable IF; complex output; HB2+HB1 filters) 0x0311=0x00(DDC0 I输入=ADC通道A;DDC0 Q输入=ADC通道A / DDC0 I input = ADC channel A; DDC0 Q input = ADC channel A) 0x0331=0x05(DDC1 I输入=ADC通道B;DDC1 Q输入=ADC通道B / DDC1 I input = ADC channel B; DDC1 Q input = ADC channel B) 根据DDC0的要求配置FTW和POW / Configure FTW and POW per DDC0 requirements: FTW=0x0316，0x0317，0x0318，0x0319，0x031A，0x031B POW=0x031D，0x031E，0x031F，0x0320，0x0321，0x0322 根据DDC1的要求配置FTW和POW / Configure FTW and POW per DDC1 requirements: FTW=0x0336，0x0337，0x0338，0x0339，0x033A，0x033B POW=0x033D，0x033E，0x033F，0x0340，0x0341，0x0342
2个DDC / 2 DDCs	8	实数 / Real	实数 / Real	5%×fS	2	0x0200=0x22(两个DDCs;选择I / two DDCs; select I) 0x0201=0x03(芯片抽取率8 / chip decimation rate 8) 0x0310，0x0330=0x4A(实数混频器;6dB增益;可变IF;实输出;HB4+HB3+HB2+HB1滤波器 / real mixer; 6dB gain; variable IF; real output; HB4+HB3+HB2+HB1 filters)

芯片应用层 / Chip Application Layer	芯片抽取率 / Chip Decimation Rate	DDC输入类型 / DDC Input Type	DDC输出类型 / DDC Output Type	每个DDC带宽 / Bandwidth per DDC	虚拟转换器数量 / Virtual Converter Count	寄存器配置 / Register Configuration
						0x0311=0x00(DDC0 I输入=ADC通道A;DDC0 Q输入=ADC通道A / DDC0 I input = ADC channel A; DDC0 Q input = ADC channel A) 0x0331=0x05(DDC1 I输入=ADC通道B;DDC1 Q输入=ADC通道B / DDC1 I input = ADC channel B; DDC1 Q input = ADC channel B) 根据DDC0的要求配置FTW和POW / Configure FTW and POW per DDC0 requirements: FTW=0x0316，0x0317，0x0318，0x0319，0x031A，0x031B POW=0x031D，0x031E，0x031F，0x0320，0x0321，0x0322 根据DDC1的要求配置FTW和POW / Configure FTW and POW per DDC1 requirements: FTW=0x0336，0x0337，0x0338，0x0339，0x033A，0x033B POW=0x033D，0x033E，0x033F，0x0340，0x0341，0x0342
4个DDC / 4 DDCs	8	实数 / Real	复数 / Complex	10%×fS	8	0x0200=0x03(四个DDCs;I/Q选择 / four DDCs; I/Q select) 0x0201=0x03(芯片抽取率8 / chip decimation rate 8) 0x0310，0x0330，0x0350，0x0370=0x41(实数混频器;6dB增益;可变IF;复数输出;HB3+HB2+HB1滤波器 / real mixer; 6dB gain; variable IF; complex output; HB3+HB2+HB1 filters) 0x0311=0x00(DDC0 I输入=ADC通道A;DDC0 Q输入=ADC通道A / DDC0 I input = ADC channel A; DDC0 Q input = ADC channel A) 0x0331=0x00(DDC1 I输入=ADC通道A;DDC1 Q输入=ADC通道A / DDC1 I input = ADC channel A; DDC1 Q input = ADC channel A) 0x0351=0x05(DDC2 I输入=ADC通道B;DDC2 Q输入=ADC通道B / DDC2 I input = ADC channel B; DDC2 Q input = ADC channel B) 0x0371=0x05(DDC3 I输入=ADC通道B;DDC3 Q输入=ADC通道B / DDC3 I input = ADC channel B; DDC3 Q input = ADC channel B) 根据DDC0的要求配置FTW和POW / Configure FTW and POW per DDC0 requirements: FTW=0x0316，0x0317，0x0318，

芯片应用层 / Chip Application Layer	芯片抽取率 / Chip Decimation Rate	DDC输入类型 / DDC Input Type	DDC输出类型 / DDC Output Type	每个DDC带宽 / Bandwidth per DDC	虚拟转换器数量 / Virtual Converter Count	寄存器配置 / Register Configuration
						0x0319，0x031A，0x031B POW=0x031D，0x031E，0x031F， 0x0320，0x0321，0x0322 根据DDC1的要求配置FTW和POW / Configure FTW and POW per DDC1 requirements: FTW=0x0336，0x0337，0x0338， 0x0339，0x033A，0x033B POW=0x033D，0x033E，0x033F， 0x0340，0x0341，0x0342 根据DDC2的要求配置FTW和POW / Configure FTW and POW per DDC2 requirements: FTW=0x0356，0x0357，0x0358， 0x0359，0x035A，0x035B POW=0x035D，0x035E，0x035F， 0x0360，0x0361，0x0362 根据DDC3的要求配置FTW和POW / Configure FTW and POW per DDC3 requirements: FTW=0x0376，0x0377，0x0378， 0x0379，0x037A，0x037B POW=0x037D，0x037E，0x037F， 0x0380，0x0381，0x0382
4个DDC / 4 DDCs	8	实数 / Real	实数 / Real	5%×fS	4	0x0200=0x23(四个DDCs;I选择 / four DDCs; I select) 0x0201=0x03(芯片抽取率8 / chip decimation rate 8) 0x0310，0x0330，0x0350， 0x0370=0x4A(实数混频器;6dB增益;可变IF;复数输出;HB4+HB3+HB2+HB1滤波器 / real mixer; 6dB gain; variable IF; complex output; HB4+HB3+HB2+HB1 filters) 0x0311=0x00(DDC0 I输入=ADC通道A;DDC0 Q输入=ADC通道A / DDC0 I input = ADC channel A; DDC0 Q input = ADC channel A) 0x0331=0x00(DDC1 I输入=ADC通道A;DDC1 Q输入=ADC通道A / DDC1 I input = ADC channel A; DDC1 Q input = ADC channel A) 0x0351=0x05(DDC2 I输入=ADC通道B;DDC2 Q输入=ADC通道B / DDC2 I input = ADC channel B; DDC2 Q input = ADC channel B) 0x0371=0x05(DDC3 I输入=ADC通道B;DDC3 Q输入=ADC通道B / DDC3 I input = ADC channel B; DDC3 Q input = ADC channel B) 根据DDC0的要求配置FTW和POW /

芯片应用层 / Chip Application Layer	芯片抽取率 / Chip Decimation Rate	DDC输入类型 / DDC Input Type	DDC输出类型 / DDC Output Type	每个DDC带宽 / Bandwidth per DDC	虚拟转换器数量 / Virtual Converter Count	寄存器配置 / Register Configuration
						Configure FTW and POW per DDC0 requirements: FTW=0x0316，0x0317，0x0318，0x0319，0x031A，0x031B POW=0x031D，0x031E，0x031F，0x0320，0x0321，0x0322 根据DDC1的要求配置FTW和POW / Configure FTW and POW per DDC1 requirements: FTW=0x0336，0x0337，0x0338，0x0339，0x033A，0x033B POW=0x033D，0x033E，0x033F，0x0340，0x0341，0x0342 根据DDC2的要求配置FTW和POW / Configure FTW and POW per DDC2 requirements: FTW=0x0356，0x0357，0x0358，0x0359，0x035A，0x035B POW=0x035D，0x035E，0x035F，0x0360，0x0361，0x0362 根据DDC3的要求配置FTW和POW / Configure FTW and POW per DDC3 requirements: FTW=0x0376，0x0377，0x0378，0x0379，0x037A，0x037B POW=0x037D，0x037E，0x037F，0x0380，0x0381，0x0382
4个DDC / 4 DDCs	16	实数 / Real	复数 / Complex	5%×fS	8	0x0200=0x03(四个DDCs;I/Q选择 / four DDCs; I/Q select) 0x0201=0x04(芯片抽取率16 / chip decimation rate 16) 0x0310，0x0330，0x0350，0x0370=0x42(实数混频器;6dB增益;可变IF;复数输出;HB4+HB3+HB2+HB1滤波器 / real mixer; 6dB gain; variable IF; complex output; HB4+HB3+HB2+HB1 filters) 0x0311=0x00(DDC0 I输入=ADC通道A;DDC0 Q输入=ADC通道A / DDC0 I input = ADC channel A; DDC0 Q input = ADC channel A) 0x0331=0x00(DDC1 I输入=ADC通道A;DDC1 Q输入=ADC通道A / DDC1 I input = ADC channel A; DDC1 Q input = ADC channel A) 0x0351=0x05(DDC2 I输入=ADC通道B;DDC2 Q输入=ADC通道B / DDC2 I input = ADC channel B; DDC2 Q input = ADC channel B) 0x0371=0x05(DDC3 I输入=ADC通道B;DDC3 Q输入=ADC通道B / DDC3 I

芯片应用层 / Chip Application Layer	芯片抽取率 / Chip Decimation Rate	DDC输入类型 / DDC Input Type	DDC输出类型 / DDC Output Type	每个DDC带宽 / Bandwidth per DDC	虚拟转换器数量 / Virtual Converter Count	寄存器配置 / Register Configuration
						input = ADC channel B; DDC3 Q input = ADC channel B) 根据DDC0的要求配置FTW和POW / Configure FTW and POW per DDC0 requirements: FTW=0x0316，0x0317，0x0318，0x0319，0x031A，0x031B POW=0x031D，0x031E，0x031F，0x0320，0x0321，0x0322 根据DDC1的要求配置FTW和POW / Configure FTW and POW per DDC1 requirements: FTW=0x0336，0x0337，0x0338，0x0339，0x033A，0x033B POW=0x033D，0x033E，0x033F，0x0340，0x0341，0x0342 根据DDC2的要求配置FTW和POW / Configure FTW and POW per DDC2 requirements: FTW=0x0356，0x0357，0x0358，0x0359，0x035A，0x035B POW=0x035D，0x035E，0x035F，0x0360，0x0361，0x0362 根据DDC3的要求配置FTW和POW / Configure FTW and POW per DDC3 requirements: FTW=0x0376，0x0377，0x0378，0x0379，0x037A，0x037B POW=0x037D，0x037E，0x037F，0x0380，0x0381，0x0382

12 数字输出 / Digital Output

12.1 JESD204B 接口简介 / JESD204B Interface Introduction

The SXA018 digital output is designed according to the JEDEC standard JESD204B ("Serial Interface for Data Converters"). The SXA018 connects digital processing devices through a serial interface (JESD204B) at rates up to 15Gbps. The advantages of the JESD204B interface over LVDS include: less board space required for data interface routing, and smaller packages for converters and logic devices.

SXA018 数字输出根据 JEDEC 标准 JESD204B("数据转换器串行接口")进行设计。SXA018 通过高达 15Gbps 速率的串行接口(JESD204B)连接数字处理设备。JESD204B 接口相对于 LVDS 的优势包括：数据接口布线所需电路板空间更少，以及转换器和逻辑器件的封装更小。

12.2 JESD204B 概述 / JESD204B Overview

The JESD204B data transmit module combines parallel data from the ADC into data frames, and outputs serial data using 8B/10B encoding and data scrambling. During initial link establishment, special control

characters are used to support link synchronization; synchronization is thereafter maintained through additional control characters embedded in the data stream.

JESD204B 数据发送模块可将来自 ADC 的并行数据组合成数据帧，并使用 8B/10B 编码以及数据加扰技术，输出串行数据。在链路初始建立过程中，使用特殊控制字符来支持链路同步；此后的同步通过数据流中嵌入的附加控制字符来维持。

The SXA018 JESD204B data transmit module can map up to 2 real ADCs or 8 virtual converters (when DDCs are enabled). The link can be configured to use 1, 2, 4, or 8 JESD204B lanes. The JESD204B specification references multiple parameters to define the link; these parameters must match between the JESD204B transmitter (SXA018 output) and the JESD204B receiver (logic device input).

SXA018 JESD204B 数据发送模块最多可映射 2 个实 ADC 或 8 个虚拟转换器(DDC 使能时)。可以配置链路以使用 1 个、2 个、4 个或 8 个 JESD204B 通道。JESD204B 规范引用多个参数来定义链路，JESD204B 发射机(SXA018 输出)和 JESD204B 接收机(逻辑器件输入)的这些参数必须匹配。

A JESD204B link can be described by the following parameters:

JESD204B 链路可通过下列参数描述：

- L = number of data lanes per converter (data lanes per link) (SXA018 values: 1, 2, 4, or 8).
- L=数据通路数/转换器(数据通路数/链路)(SXA018 的值为 1、2、4 或8)
- M = number of converters per converter (virtual converters per link) (SXA018 values: 1, 2, 4, or 8).
- M=转换器数/转换器(虚拟转换器数/链路)(SXA018 的值为 1、2、4 或8)
- F = number of 8-bit words per frame (SXA018 values: 1, 2, 4, 8, or 16).
- F=8 位字数/帧(SXA018 的值为 1、2、4 或8 或 16)
- N′ = number of bits per sample (JESD204B word size) (SXA018 values: 8 or 16).
- N′=每个样本的位数(JESD204B 字大小)(SXA018 的值为 8 或 16)
- N = converter resolution (SXA018 values: 7 to 16).
- N=转换器分辨率(SXA018 的值为 7 至16)
- CS = control bits per sample (SXA018 values: 0, 1, 2, or 3).
- CS =控制位数/样本(SXA018 的值为 0、1、2 或3)
- K = number of frames per multiframe (SXA018 values: 4, 8, 12, 16, 20, 24, 28, or 32).
- K=每个多帧的帧数(SXA018 的值为 4、8、12、16、20、24、28 或32)
- S = number of samples transmitted per single converter per frame period (SXA018 value is automatically set based on L, M, F, and N′).
- S=传送的样本数/单个转换器/帧周期(SXA018 的值根据 L、M、F 和 N′自动设置)
- HD = high-density mode (SXA018 automatically set based on L, M, F, and N′).
- HD = 高密度模式(SXA018 根据 L、M、F 和N′自动设置)
- CF = number of control words per frame clock period per converter (SXA018 value: 0).
- CF = 控制字数/帧时钟周期/转换器(SXA018 的值为0)

Figure 36 shows a simplified block diagram of the SXA018 JESD204B link. By default, the SXA018 is configured to use two converters and eight lanes. Converter A data is output to SERDOUT0±, SERDOUT1±, SERDOUT2±, SERDOUT3±; converter B data is output to SERDOUT4±, SERDOUT5±, SERDOUT6±, SERDOUT7±. The SXA018 allows other configurations, such as combining the outputs of two converters onto one lane, or changing the mapping of the A and B digital output paths. These modes are set via SPI registers.

图 36 示出了 SXA018 JESD204B 链接的简化框图。默认情况下，SXA018 配置为使用两个转换器和八个通道。转换器 A 的数据输出到 SERDOUT0±，SERDOUT1±，SERDOUT2±，SERDOUT3±，转换器 B 的数据输出到 SERDOUT4±，SERDOUT5±，SERDOUT6±，SERDOUT7±。SXA018 允许其他配置，例如将两个转换器的输出组合到一条通道上，或更改 A 和 B 数字输出路径的映射。这些模式通过 SPI 寄存器设置。

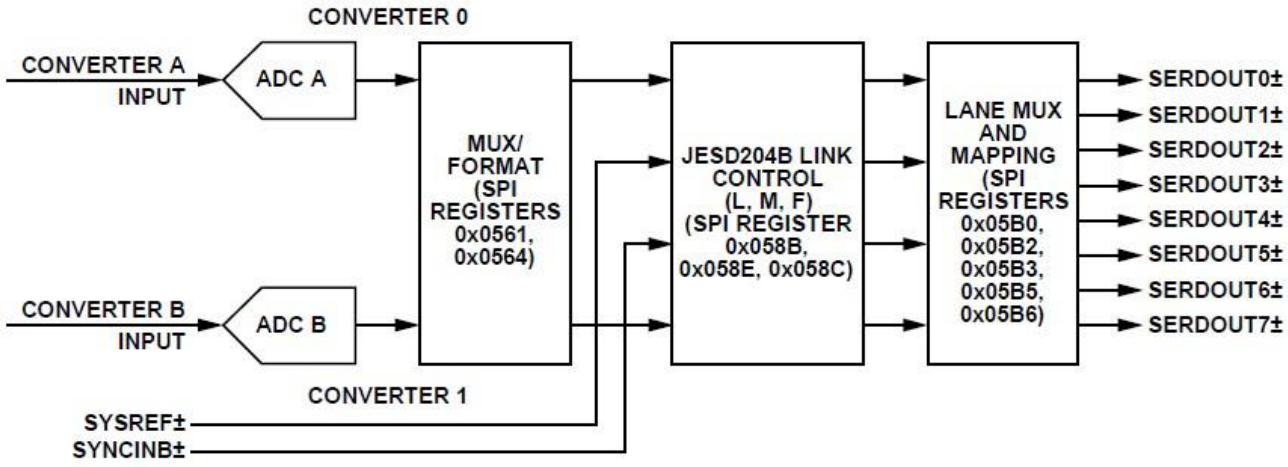


Figure 36: 全带宽模式的传输链路简化的方框图（寄存器 0x0200=0x00）

By default, in the SXA018, each converter's 14-bit converter word is split into two octets (eight-bit data). Bit 13 (MSB) through bit 6 are in the first octet. The second octet contains bit 5 through bit 0 (LSB) and two tail bits. The tail bits can be configured as zeros or a pseudo-random number sequence. The tail bits can also be used as control bits to indicate overrange, SYSREF±, or fast-detect outputs.

默认情况下，在 SXA018 中，每个转换器的 14 位转换器字被分成两个八位字节(八位数据)。位 13(MSB)到位 6 位于第一个八位位组中。第二个八位字节包含位 5 到位 0(LSB)和两个结束位。结束位可以配置为零或伪随机数序列。结束位也可以用于指示超量程、SYSREF±或快速检测输出的控制位。

The resulting two 8-bit words can be scrambled. Scrambling is optional but recommended to avoid spectral spikes when transmitting similar data patterns. These two 8-bit words are then encoded by the 8B/10B encoder. The 8B/10B encoder encodes 8 data bits into a 10-bit character. Figure 37 shows how 14-bit data is taken from the ADC, how tail bits are added, how the two 8-bit words are scrambled, and how the 8-bit words are encoded into two 10-bit characters.

产生的两个 8 位字可以被加扰。加扰为可选项，但建议开启此功能来避免传输相似数据样式时出现的频谱尖峰。然后，这两个 8 位字通过 8B/10B 编码器进行编码。8B/10B 编码器将 8 个数据位编码为一个 10 位的字符。图 37 显示 14 位的数据是如何从 ADC 中取出、结束位如何添加、两个 8 位字如何加扰，以及 8 位字如何被编码为两个 10 位字符。

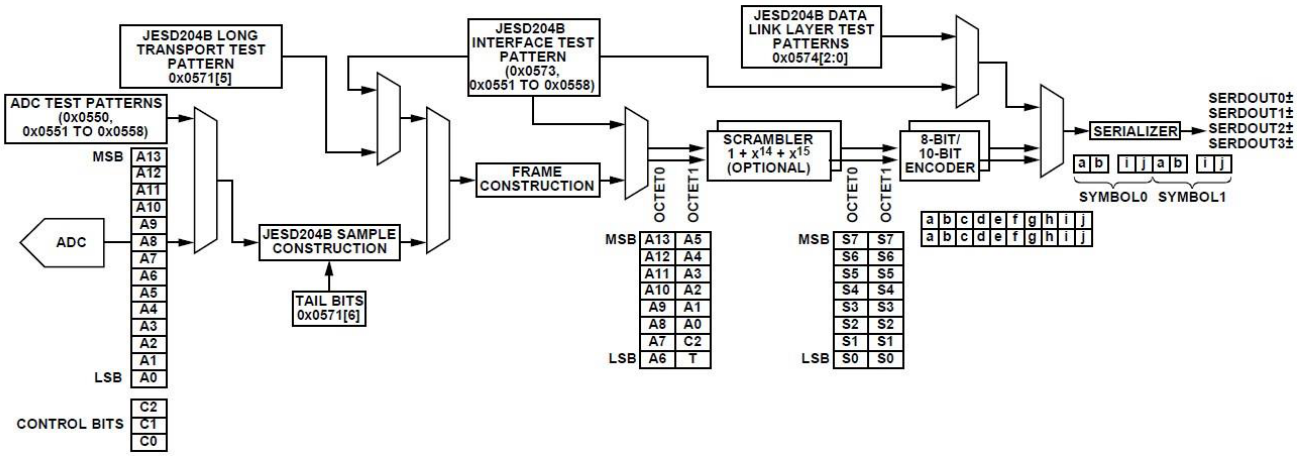


Figure 37: 显示数据帧传输的 ADC 输出数据路径

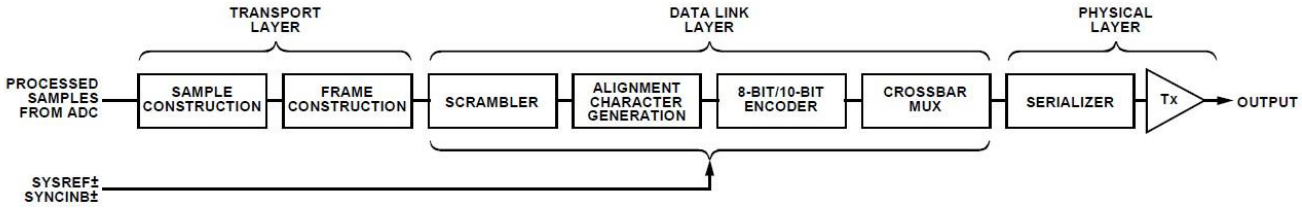


Figure 38: 数据流

12.3 功能概述 / Functional Overview

The block diagram in Figure 38 shows the JESD204B data flow from sample input to physical output, which can be divided into the transport layer, data link layer, and physical layer — layers derived from the Open Systems Interconnection (OSI) model widely used to describe communication system abstraction layers.

图 38 中的框图显示了从样本输入到物理输出的 JESD204B 数据流，可以分为传输层、数据链路层和物理层，这些层源自广泛用于描述通信系统抽象层的开源倡议(OSI)模型。

Transport layer:

传输层

The transport layer is responsible for packing data (including samples and optional control bits) into JESD204B frames for mapping into 8-bit words. These 8-bit words are sent to the data link layer. The transport layer matches the rules generated by the link parameters. Tail bits are added as needed to fill gaps. The number of tail bits in a sample can be determined by the following equation:

传输层负责将数据(包括样本和可选的控制位)包装为 JESD204B 帧以便映射为 8 位字。这些 8 位字被发送到数据链路层。传输层匹配由链路参数所产生的规则控制。根据需要添加结束位以填补空隙。可以利用下式来确定样本中的结束位数：

T = N ′-N-CS

Data link layer:

数据链路层

The data link layer is responsible for the low-level functions of data transport through the link, including scrambling data (optional), inserting control characters to support multi-chip synchronization/lane alignment/monitoring, and encoding 8-bit words into 10-bit symbols. The data link layer is also responsible for transmitting the initial lane alignment sequence (ILAS), which contains link configuration data that the receiver uses to verify the transport layer settings.

数据链路层负责通过链路传送数据的低层功能，包括加扰数据(可选)、插入控制字符以支持多芯片同步/通道对齐/监控，以及将 8 位字编码为 10 位符号。数据链路层还负责发送初始通道对齐序列(ILAS)，其中包含链路配置数据，接收机利用这些数据验证传输层的设置。

Physical layer:

物理层

The physical layer consists of high-speed circuits clocked at the serial clock rate. In this layer, parallel data is converted into 1, 2, 4, or 8 channels of high-speed differential serial data.

物理层由时钟频率为串行时钟速率的高速电路组成。在该层中，并行数据转换为 1、2、4、8 通道的高速差分串行数据。

JESD204B link establishment:

JESD204B 链路建立

The SXA018 JESD204B transmitter (Tx) interface operates in Subclass 1 as defined in JEDEC Standard 204B (July 2011 specification). The link establishment process consists of the following steps: code group synchronization and SYNCINB±, initial lane alignment sequence, user data, and error correction.

SXA018 JESD204B 发射机(Tx)接口按照 JEDEC 标准 204B（2011 年 7 月规范）中定义的子类 1 中运行。链路建立过程分为以下几个步骤：码组同步和 SYNCINB±、初始通道对齐序列、用户数据和纠错。

Code group synchronization (CGS) and SYNCINB±:

代码组同步(CGS)和 SYNCINB±

CGS is the process by which the JESD204B receiver finds the 10-bit character boundaries in the data stream. During the CGS phase, the JESD204B transmit module transmits /K28.5/ characters. The receiver must use clock and data recovery (CDR) techniques to locate /K28.5/ characters in the input data stream.

CGS 是 JESD204B 接收机找到数据流中 10 位字符间边界的过程。在 CGS 阶段，JESD204B 传送模块传送/K28.5/字符。接收机必须使用时钟和数据恢复(CDR)技术，在输入数据流中定位/K28.5/字符。

The receiver drives the SXA018 SYNCINB± pin low to issue a synchronization request. The JESD204B Tx then begins transmitting /K/ characters. Once the receiver has synchronized, it waits to correctly receive at least 4 consecutive /K/ symbols, then deasserts SYNCINB±. The SXA018 then transmits an ILAS at the next local multiframe clock (LMFC) boundary.

接收机将 SXA018 的 SYNCINB±引脚置位低电平，发出一个同步请求。然后，JESD204B Tx 开始发送/K/字符。一旦接收机已同步，它便等待接收机至少正确接收 4 个连续的/K/符号，然后解除置位 SYNCINB±。SXA018 接着在下一本地多帧时钟(LMFC)边界发送一个ILAS。

SYNCINB± pin operation can also be controlled by SPI. By default, the SYNCINB± signal is a differential LVDS-mode signal, but it can also be driven single-ended. For more information on configuring SYNCINB± pin operation, see register 0x0572.

SYNCINB±引脚操作也可以由 SPI 控制。默认情况下，SYNCINB±信号是一个差分 LVDS 模式信号，但也可以单端驱动。有关配置 SYNCINB±引脚操作的更多信息，参见寄存器 0x0572。

Initial lane alignment sequence (ILAS):

初始通道对齐序列(ILAS)

CGS is followed by the ILAS, which begins at the next LMFC boundary. The ILAS consists of 4 multiframes, with the /R/ character indicating the start and the /A/ character indicating the end. The ILAS begins by transmitting the /R/ character, then transmits one multiframe of 0-to-255 ramp data. The second multiframe transmits link configuration data, starting from the third character. The second character is the /Q/ character, confirming that link configuration data follows. All undefined data slots are filled with ramp data. The ILAS sequence is not scrambled.

CGS 之后是 ILAS，它在下一 LMFC 边界开始。ILAS 由 4 个多帧组成，/R/字符表示开始，/A/字符表示结束。ILAS 从发送/R/字符开始，然后发送一个多帧的 0 至 255 斜坡数据。在第二个多帧发送链路配置数据，从第三个字符开始。第二个字符是/Q/字符，用以确认随后是链路配置数据。所有未定义数据时隙都用斜坡数据填充。ILAS 序列不加扰。

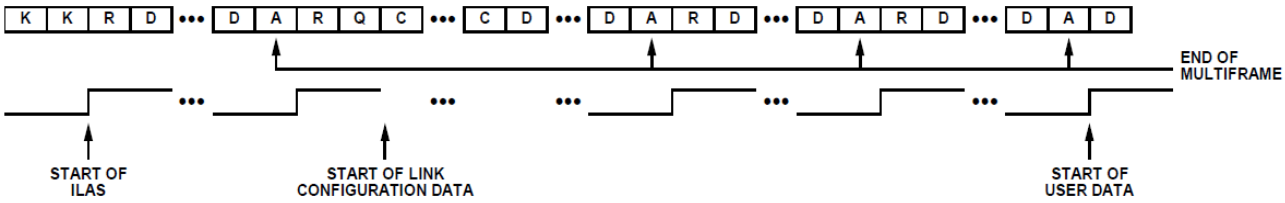


Figure 39: 初始通道对齐序列

The ILAS sequence structure is shown in Figure 39. The 4 multiframes include:

ILAS 序列结构如图 39 所示。4 个多帧包括：

- Multiframe 1, beginning with the /R/ character (/K28.0/) and ending with the /A/ character (/K28.3/).
- 多帧 1，以/R/字符(/K28.0/)开始，以/A/字符(/K28.3/)结束。
- Multiframe 2, beginning with the /R/ character, followed by the /Q/ (/K28.4/) character, then 14 configuration octets of link configuration parameters (see), and ending with the /A/ character.
- 多帧 2，以/R/字符开始，接着是/Q/(/K28.4/)字符，然后是 14 个配置 8 位字的链路配置参数(见)，最后以/A/字符结束。
- Multiframe 3, beginning with the /R/ character (/K28.0/) and ending with the /A/ character (/K28.3/).
- 多帧 3，以/R/字符(/K28.0/)开始，以/A/字符(/K28.3/)结束。
- Multiframe 4, beginning with the /R/ character (/K28.0/) and ending with the /A/ character (/K28.3/).
- 多帧 4，以/R/字符(/K28.0/)开始，以/A/字符(/K28.3/)结束。

表19 / Table 19 — JESD204B 中使用的控制字符 / Control Characters Used in JESD204B

缩写 / Abbreviation	控制符号 / Control Symbol	8位值 / 8-bit Value	10位值，RD = −1 / 10-bit Value, RD = −1	10位值，RD = +1 / 10-bit Value, RD = +1	说明 / Description
/R/	/K28.0/	000 11100	001111 0100	110000 1011	多帧开始 / Multiframe start
/A/	/K28.3/	011 11100	001111 0011	110000 1100	通道对齐 / Lane alignment
/Q/	/K28.4/	100 11100	001111 0010	110000 1101	链路配置数据开始 / Link configuration data start
/K/	/K28.5/	101 11100	001111 1010	110000 0101	组同步 / Group synchronization
/F/	/K28.7/	111 11100	001111 1000	110000 0111	帧对齐 / Frame alignment

User data and error detection:

用户数据和错误检测

After the initial lane alignment sequence completes, user data is transmitted. Generally, within one frame, all data is treated as user data. However, to monitor frame clock and multiframe clock synchronization, there is a mechanism that replaces characters with /F/ or /A/ alignment characters when the data meets certain conditions. These conditions differ for unscrambled and scrambled data. Scrambling is enabled by default but can be disabled via SPI.

初始通道对齐序列完成之后便发送用户数据。一般而言，在一帧以内，所有数据都被视为用户数据。然而，为了监控帧时钟和多帧时钟同步，当数据符合某些条件时，有一个机制来将字符替换为/F/或/A/对齐字符。对于未加扰和加扰的数据，这些条件是不同的。默认使能加扰操作，但可以通过 SPI 禁用。

For scrambled data, any 0xFC character at the end of a frame is replaced with /F/, and any 0xFD character at the end of a multiframe is replaced with /A/. The JESD204B receiver (Rx) checks the received data stream for /F/ and /A/ characters, verifying that they appear only at the expected positions. If unexpected /F/ or /A/ characters are found, the receiver enables dynamic realignment, or asserts the SYNCINB± signal for more than four frames to initiate resynchronization. For unscrambled data, if the last characters of two consecutive frames are identical, the second character is replaced with /F/ (if it is at the end of a frame) or /A/ (if it is at the end of a multiframe).

对于加扰的数据，帧末尾的任何 0xFC 字符都用/F/替换，多帧末尾的任何 0xFD 字符都用/A/替换。JESD204B 接收机(Rx)检查接收数据流中有无/F/和/A/字符，验证其仅出现在预期的位置。如果发现意外的/F/或/A/字符，接收机将启用动态重对齐，或置位 SYNCINB±信号四帧以上以启动重新同步。对于未加扰的数据，如果两个连续帧的最后字符相同，则第二个字符将被替换为/F/(若它位于一个帧的末尾)或/A/(若它位于一个多帧的末尾)。

Alignment character insertion can be modified via SPI. Frame alignment character insertion (FACI) is enabled by default. For more information on link control, see register 0x0571.

对齐字符的插入可通过 SPI 修改。帧对齐字符插入(FACI)默认使能。有关链路控制的更多信息，参见寄存器 0x0571。

8B/10B encoder:

8B/10B 编码器

The 8B/10B encoder converts 8-bit words into 10-bit symbols, and inserts control characters into the stream as needed. The control characters used by JESD204B are shown in . 8B/10B encoding ensures DC balance of the signal by using an equal number of 0s and 1s across multiple symbols. Options for the 8B/10B interface can be controlled via SPI, including bypass and inversion.

8B/10B 编码器将 8 位字转换为 10 位符号，并在需要时将控制字符插入流中。JESD204B 使用的控制字符如所示。8B/10B 编码通过在多个符号上使用相同数量的 0 和 1 来确保信号达到直流平衡。8B/10B 接口的选项可通过 SPI 控制，包括旁路和取反。

Physical layer (driver) output:

物理层（驱动器）输出

Digital output, timing, and control:

数字输出、时序和控制

The SXA018 physical layer consists of drivers specified by JEDEC Standard 204B (July 2011). Each driver uses a 100Ω dynamic internal termination resistor to reduce reflection interference.

SXA018 物理层由 JEDEC 标准 204B(2011 年 7 月)所规定的驱动器组成。每个驱动器利用 100Ω 的动态内部端接电阻来降低反射干扰。

Placing a 100Ω differential termination resistor at the input of each receiver achieves a nominal 0.85 DRVDD1 Vp-p receiver swing. The swing can be adjusted via SPI registers. AC coupling to the receiver is recommended. For more details, see register 0x05C0 through register 0x05C3.

在每个接收机的输入端放置一个 100Ω 差分端接电阻，可实现标称 0.85 DRVDD1 Vp-p 的接收机摆幅。摆幅可通过 SPI 寄存器进行调整。建议使用交流耦合连接到接收器。更多详细信息，请参见寄存器 0x05C0 至寄存器 0x05C3。

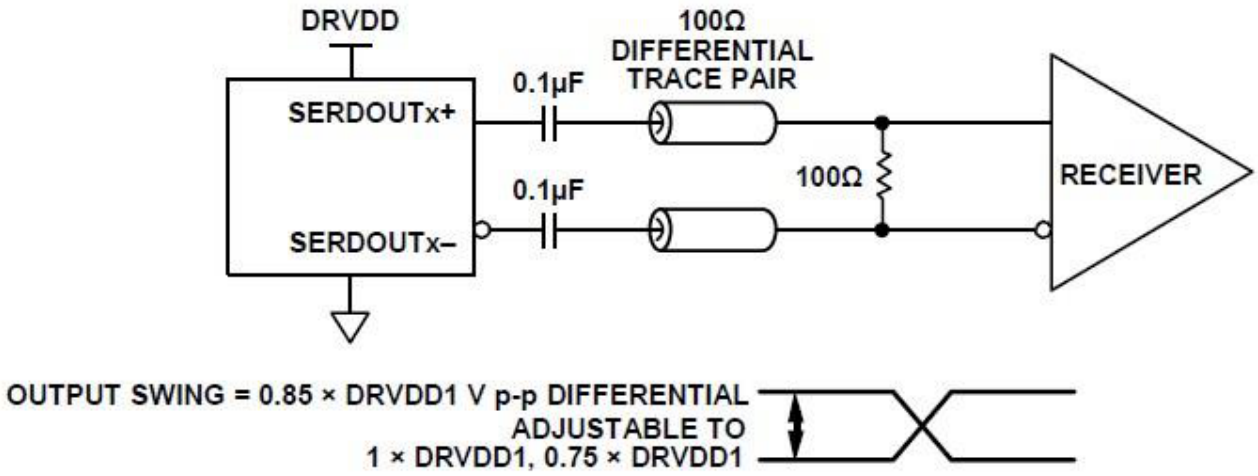


Figure 40: 交流耦合数字输出端接示例

The SXA018 digital outputs can interface with custom ASIC and FPGA receivers to achieve excellent switching performance in high-noise environments. A single point-to-point network topology is recommended, with a single 100Ω differential termination resistor placed as close as possible to the receiver input. If there is no far-end receiver termination or the differential routing is poor, timing errors may result. To avoid such errors, trace lengths of less than 6 inches are recommended, with differential

output traces routed close together and of equal length. Figures 41 through 43 show an example of a SXA018 digital output data eye diagram, jitter histogram, and bathtub curve, tested with the lanes running at 16Gbps. The output data format is two's complement by default.

SXA018 数字输出可与定制的 ASIC 和 FPGA 接收机接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将单个 100Ω 差分端接电阻尽可能靠近接收机输入端放置。如果没有远端接收器端接或者差分布线很差，则可能导致时序错误。为避免此类错误，建议走线长度小于 6 英寸，差分输出走线靠在一起且长度相等。图 41 至图 43 显示了一个 SXA018 的数字输出数据眼图、抖动直方图和浴盆曲线示例，测试时通道以 16Gbps 的速度运行。输出数据的格式默认为二进制补码。

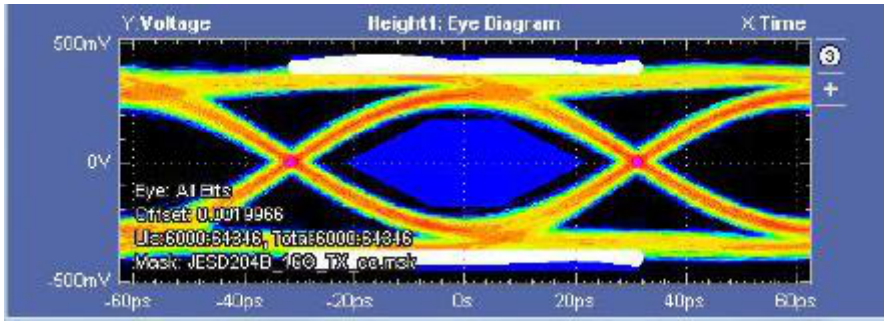


Figure 41: 数字输出数据眼图 16Gbps 时的外部 100Ω 终端

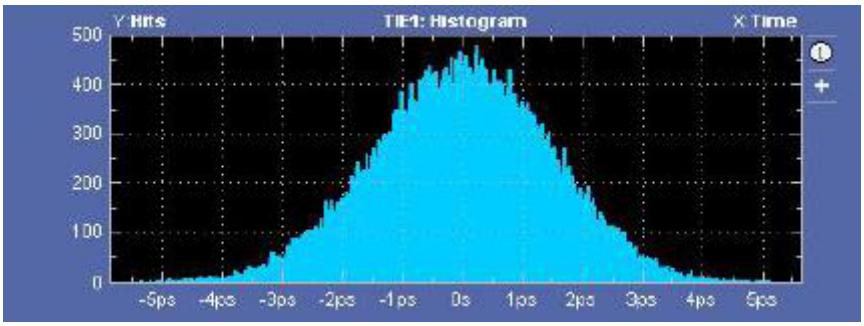


Figure 42: 数字输出抖动直方图外部 100Ω 终端

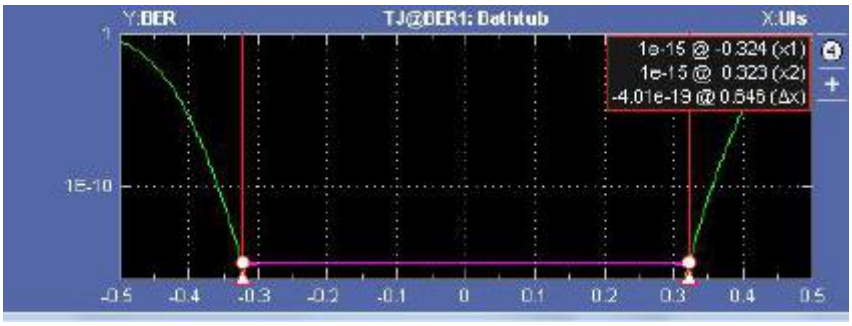


Figure 43: 数字输出浴盆曲线外部 100Ω 终端在 16Gbps

锁相环 / Phase-Locked Loop (PLL):

The PLL generates the clock for operation at the JESD204B lane rate. The PLL lock status can be checked in the PLL lock status bit (register 0x056F, bit 7). Register 0x056F also has a loss-of-lock (LOL) flag (bit 3) that notifies the user when a loss of lock is detected. The flag bit can be reset via a JESD204B link restart (register 0x0571=0x15, followed by register 0x0571=0x14). Bits [7:4] of the JESD204B lane rate control register 0x056E must be set to correspond to the lane rate. shows the lane rates supported by the SXA018 using register 0x056E.

PLL 生成以 JESD204B 通道速率运行时钟。可以在 PLL 锁定状态位（寄存器 0x056F，位 7）中检查 PLL 锁定状态。寄存器 0x056F 还具有失锁(LOL)标示（位 3），通知用户检测到失锁。可以通过 JESD204B 链路重启（寄存器 0x0571=0x15，随后是寄存器 0x0571=0x14）来重置标示位。JESD204B 通道速率控制寄存器 0x056E 的位[7:4]必须设置为与通道速率相对应。显示了 SXA018 使用寄存器 0x056E 支持的通道速率。

表20 / Table 20 — SXA018 使用寄存器 0x056E 支持的通道速率 / Lane Rates Supported by SXA018 Using Register 0x056E

寄存器值 / Register Value	Lane速率 / Lane Rate
0x00	Lane速率=6.75 Gbps~13.5 Gbps / Lane rate = 6.75 Gbps–13.5 Gbps
0x10	Lane速率=3.375 Gbps~6.75 Gbps / Lane rate = 3.375 Gbps–6.75 Gbps
0x30	Lane速率=13.5 Gbps~15.5 Gbps（默认）/ Lane rate = 13.5 Gbps–15.5 Gbps (default)
0x50	Lane速率=1.6875 Gbps~3.375 Gbps / Lane rate = 1.6875 Gbps–3.375 Gbps

fS×4 模式 / fS×4 Mode:

The fS×4 mode adds a separate packing mode on top of the JESD204B transmitter/receiver to fix the serial lane rate at four times the sampling rate (fS). The JESD204B link settings are:

fS×4 模式在 JESD204B 发送器/接收器之上添加了一个单独的封装模式，以将串行通道速率固定为采样率(fS)的四倍。JESD204B 链接设置是：

- L=8, M=2, F=2
- S=5, N'=12, N=12
- CS=0, CF=2, HD=1

However, the design does not support CF=2; therefore the following link parameters are used with the separate packing:

但是，设计不支持 CF=2；因此，以下链接参数与单独的包装一起使用：

- L=8, M=2, F=2
- S=4, N'=16, N=16
- CS=0, CF=0, HD=0

In fS×4 mode, five 12-bit ADC samples are packed into four 16-bit JESD204B samples to create a 64-bit frame. The following SPI writes are required to place the device in fS×4 mode:

在 fS×4 模式下，五个 12 位 ADC 样本被打包到四个 16 位 JESD204B 样本中以创建一个 64 位帧。要将器件置于 fS×4 模式，需要进行以下 SPI 写入：

- Register 0x0570=0xFE, which places the device in M=2, L=8, fS×4 mode.
- 寄存器 0x0570=0xFE，该设置将器件置于 M=2，L=8，fS×4 模式。
- Register 0x058F=0x0F, which places the device in CS=0, N=16 mode.
- 寄存器 0x058F=0x0F，该设置将器件置于 CS=0，N=16 模式。
- Register 0x0590=0x2F, which places the device in Subclass 1 mode, N=16.
- 寄存器 0x0590=0x2F，该设置将器件置于子类 1模式，N=16。

The transmit architecture of fS×4 mode is shown in Figure 44, and the receive section is shown in Figure 45. fS×4 mode only works in full-bandwidth mode (register 0x0200=0x00).

fS×4 模式的发送架构如图 44 所示，接收部分如图 45 所示。fS×4 模式仅在全带宽模式下工作（寄存器 0x0200=0x00）。

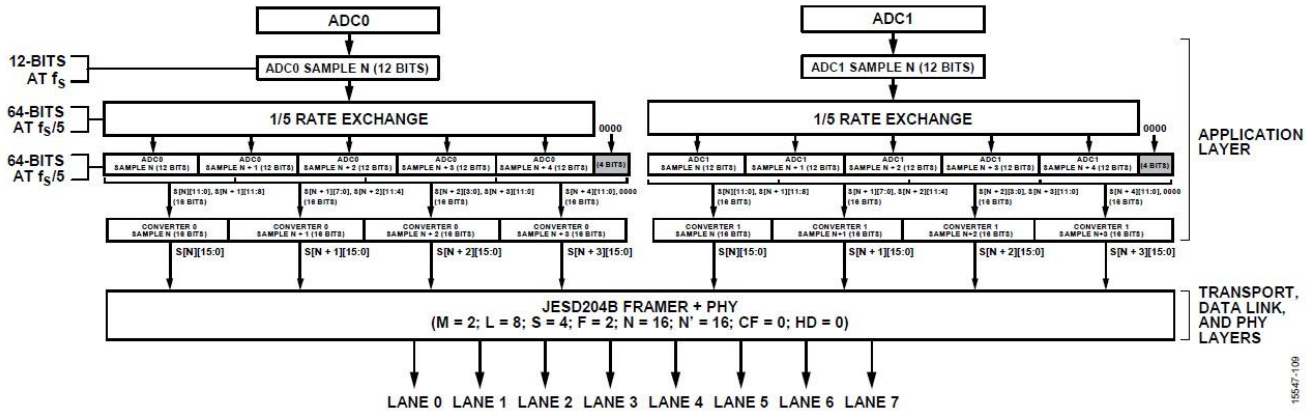


Figure 44: fS×4 模式的发送架构

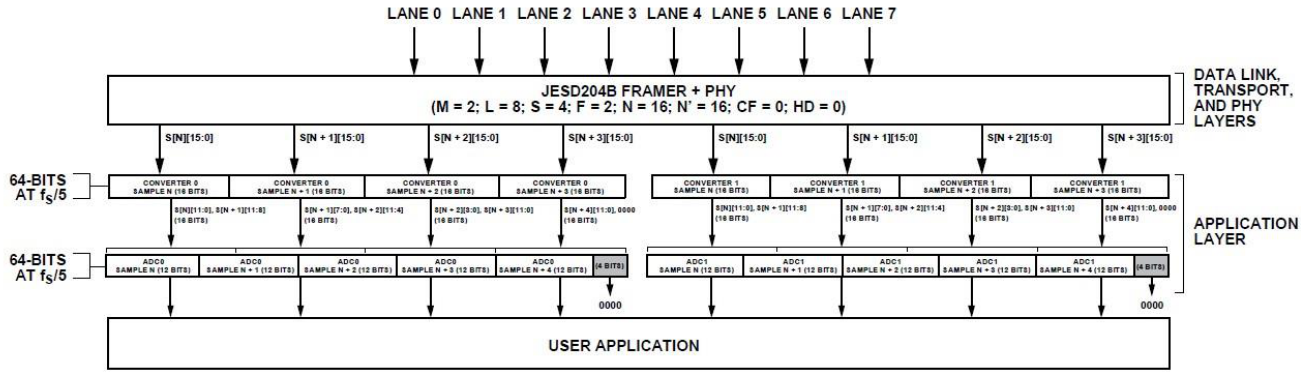


Figure 45: fS×4 模式的接收架构

The SXA018 has one JESD204B link. The serial outputs (SERDOUT0± through SERDOUT7±) are treated as part of one JESD204B link. The basic parameters determining the link settings are:

SXA018 有一个 JESD204B 链路。串行输出（SERDOUT0±至 SERDOUT7±）被视为一个 JESD204B 链路的一部分。确定链接设置的基本参数是：

- Number of lanes per link (L).
- 每条链路的通道数(L)
- Number of converters per link (M).
- 每条链路的转换器数(M)
- Number of octets per frame (F).
- 每帧的八位字节数(F)

If internal DDCs are used for on-chip digital processing, M represents the number of virtual converters. The maximum lane rate allowed by the SXA018 is 15Gbps. Using the following equations, the lane rate is related to the JESD204B parameters:

如果内部 DDC 用于片上数字处理，M 代表虚拟转换器的数量。SXA018 允许的最大通道速 15Gbps。使用以下等式，通道速率与 JESD204B 参数相关：

```
Lane_Rate = (M × N′ × (10/8) × fOUT) / L
fOUT = fADC_CLOCK / DCM
```

The decimation rate (DCM) is a parameter configured in register 0x201.

抽取率(DCM)是在寄存器 0x201 中配置的参数。

If the calculated lane rate is below 6.25Gbps, the low-rate option should be selected, i.e., write the value 0x10 to register 0x056E.

如果计算出的通道速率低于 6.25Gbps，应选择低速率选项，也就是将值 0x10 写入寄存器 0x056E。

shows the supported JESD204B output configurations for a given number of virtual converters with N'=16.

显示了对于给定数量的虚拟转换器，N'=16 时支持的 JESD204B 输出配置。

表21 / Table 21 — N'=16[1] 时 JESD204B 输出配置 / JESD204B Output Configurations with N'=16[1]

支持的虚拟转换器数量 / Supported Virtual Converter Count	JESD204B 串行Lane速率[2] / JESD204B Serial Lane Rate[2]	Lane速率 =1.6875Gbps~3.375Gbps	Lane速率 =3.375Gbps~6.75Gbps	Lane速率 =6.75Gbps~13.5Gbps	Lane速率 =13.5Gbps~15Gbps	JESD204B传输层设置[3] L M F S HD N N' CS K / JESD204B Transport Layer Settings[3]
1	20×fOUT	2,4,5,6,8,10,12,20,24	1,2,3,4,5,6,8,10,12	1,2,3,4,5,6,8	1,2,3,4	1 1 2 1 0 16 16 0 8~16[4]
1	20×fOUT	2,4,5,6,8,10,12,20,24	1,2,3,4,5,6,8,10,12	1,2,3,4,5,6,8	1,2,3,4	1 1 4 2 0 16 16 0 8~16[4]
1	10×fOUT	1,2,3,4,5,6,8,10,12	1,2,3,4,5,6,8	1,2,3,4	1,2	2 1 1 1 1 16 16 0 8~16[4]
1	10×fOUT	1,2,3,4,5,6,8,10,12	1,2,3,4,5,6,8	1,2,3,4	1,2	2 1 2 2 0 16 16 0 8~16[4]
1	5×fOUT	1,2,3,4,5,6,8	1,2,3,4	1,2	1	4 1 1 2 1 16 16 0 8~16[4] 见注释4 / see note 4
1	5×fOUT	1,2,3,4,5,6,8	1,2,3,4	1,2	1	4 1 2 4 0 16 16 0 8~16[4]
1	2.5×fOUT	1,2,3,4	1,2	1		

支持的虚拟转换器数量 / Supported Virtual Converter Count	JESD204B 串行Lane速率[2] / JESD204B Serial Lane Rate[2]	Lane速率 =1.6875Gbps~3.375Gbps	Lane速率 =3.375Gbps~6.75Gbps	Lane速率 =6.75Gbps~13.5Gbps	Lane速率 =13.5Gbps~15Gbps	JESD204B 传输层设置[3] L M F S HD N N' CS K / JESD204B Transport Layer Settings[3]
						8 1 1 4 1 16 16 0 8~16[4]
1	2.5×fOUT	1,2,3,4	1,2	1		8 1 2 8 0 16 16 0 8~16[4]
2	40×fOUT	4,8,10,12,15,16,20,24,30,40,48	2,4,5,6,8,10,12,15,16,20,24,30	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1 2 4 1 0 16 16 0 8~16[4]
2	40×fOUT	4,8,10,12,15,16,20,24,30,40,48	2,4,5,6,8,10,12,15,16,20,24,30	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1 2 8 2 0 16 16 0 8~16[4]
2	20×fOUT	2,4,5,6,8,10,12,15,16,20,24,30	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	2 2 2 1 0 16 16 0 8~16[4] 见注释4 / see note 4
2	20×fOUT	2,4,5,6,8,10,12,15,16,20,24,30	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	2 2 4 2 0 16 16 0 8~16[4]
2	10×fOUT	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	1,2	4 2 1 1 1 16 16 0 8~16[4]
2	10×fOUT	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	1,2	4 2 2 2 0 16 16 0 8~16[4]
2	5×fOUT	1,2,3,4,5,6,8	1,2,3,4	1,2	1	8 2 1 2 1 16 16 0 8~16[4]
2	5×fOUT	1,2,3,4,5,6,8	1,2,3,4	1,2	1	8 2 2 4 0 16 16 0 8~16[4]
4	80×fOUT	8,16,20,24,30,40,48	4,8,10,12,16,20,24,30,40,48	2,4,6,8,10,12,16,20,24,30	2,4,6,8,10,12,16	1 4 8 1 0 16 16 0 8~16[4]
4	40×fOUT	4,8,10,12,15,16,20,24,30,40,48	2,4,5,6,8,10,12,15,16,20,24,30	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	2 4 4 1 0 16 16 0 8~16[4]
4	40×fOUT	4,8,10,12,15,16,20,24,30,40,48	2,4,5,6,8,10,12,15,16,20,24,30	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	2 4 8 2 0 16 16 0 8~16[4] 见注

支持的虚拟转换器数量 / Supported Virtual Converter Count	JESD204B 串行Lane速率[2] / JESD204B Serial Lane Rate[2]	Lane速率 =1.6875Gbps~3.375Gbps	Lane速率 =3.375Gbps~6.75Gbps	Lane速率 =6.75Gbps~13.5Gbps	Lane速率 =13.5Gbps~15Gbps	JESD204B 传输层设置[3] L M F S HD N N' CS K / JESD204B Transport Layer Settings[3]
						释4 / see note 4
4	20×fOUT	2,4,5,6,8,10,12,15,16,20,24,30	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	4 4 2 1 0 16 16 0 8~16[4]
4	20×fOUT	2,4,5,6,8,10,12,15,16,20,24,30	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	4 4 4 2 0 16 16 0 8~16[4]
4	10×fOUT	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	1,2	8 4 1 1 1 16 16 0 8~16[4]
4	10×fOUT	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	1,2	8 4 2 2 0 16 16 0 8~16[4]
8	160×fOUT	16,40,48	8,16,20,24,40,48	4,8,12,16,20,24,40,48	4,8,12,16,20,24	1 8 16 1 0 16 16 0 8~16[4]
8	80×fOUT	8,16,20,24,40,48	4,8,10,12,16,20,24,40,48	2,4,6,8,10,12,16,20,24	2,4,6,8,10,12,16	2 8 8 1 0 16 16 0 8~16[4]
8	40×fOUT	4,8,10,12,16,20,24,40,48	2,4,6,8,10,12,16,20,24	2,4,6,8,10,12,16	2,4,6,8	4 8 4 1 0 16 16 0 8~16[4]
8	40×fOUT	4,8,10,12,16,20,24,40,48	2,4,6,8,10,12,16,20,24	2,4,6,8,10,12,16	2,4,6,8	4 8 8 2 0 16 16 0 8~16[4] 见注释4 / see note 4
8	20×fOUT	2,4,6,8,10,12,16,20,24	2,4,6,8,10,12,16	2,4,6,8	2,4	8 8 2 1 0 16 16 0 8~16[4]
8	20×fOUT	2,4,6,8,10,12,16,20,24	2,4,6,8,10,12,16	2,4,6,8	2,4	8 8 4 2 0 16 16 0 8~16[4]

[1]由于内部时钟要求，某些链路参数仅支持某些抽取率。/ [1]Due to internal clocking requirements, certain link parameters only support certain decimation rates. [2]fADC_CLK 为 ADC 采样率；DCM=芯片抽取率；fOUT 为输出采样率=fADC_CLK/DCM；SLR 是 JESD204B 串行通道速率。由于内部时钟分频器要求，必须满足以下等式：SLR≥1.6875Gbps 且 SLR≤15Gbps；SLR/40≤fADC_CLK；最小公倍数(20×DCM×fOUT/SLR,DCM)≤64。当 SLR≤15000Mbps 且 >13500Mbps 时，寄存器 0x056E 必须设置为 0x30。当 SLR≤13500Mbps 和≥6750Mbps 时，寄存器 0x056E 必须设置为 0x00。当 SLR<6750Mbps 且≥3375Mbps

时，寄存器 0x056E 必须设置为 0x10。当SLR<3375Mbps 且≥1687.5Mbps 时，寄存器0x056E 必须设置为 0x50。 / [2]fADC_CLK is the ADC sampling rate; DCM = chip decimation rate; fOUT is the output sample rate = fADC_CLK/DCM; SLR is the JESD204B serial lane rate. Due to internal clock divider requirements, the following equations must be satisfied: SLR≥1.6875Gbps and SLR≤15Gbps; SLR/40≤fADC_CLK; least common multiple (20×DCM×fOUT/SLR, DCM)≤64. When SLR≤15000Mbps and >13500Mbps, register 0x056E must be set to 0x30. When SLR≤13500Mbps and ≥6750Mbps, register 0x056E must be set to 0x00. When SLR<6750Mbps and ≥3375Mbps, register 0x056E must be set to 0x10. When SLR<3375Mbps and ≥1687.5Mbps, register 0x056E must be set to 0x50. [3]JESD204B 传输层说明如下：L 为每个转换器设备的通道数；M 是每个转换器设备的虚拟转换器数；F 是每帧的八位字节；S 是每个虚拟转换器每个帧周期传输的样本；HD 是高密度模式；N 是虚拟转换器分辨率（以位为单位）；N'是每个样本的总位数（JESD204B 字长）；CS 是每个转换样本的控制位数；K 是每个多帧的帧数。 / [3]JESD204B transport layer notes: L is the number of lanes per converter device; M is the number of virtual converters per converter device; F is the number of octets per frame; S is the number of samples transmitted per virtual converter per frame period; HD is high-density mode; N is the virtual converter resolution (in bits); N' is the total number of bits per sample (JESD204B word length); CS is the number of control bits per converter sample; K is the number of frames per multiframe. [4]仅支持可被 4 整除的有效 K×F 值：对于 F=1，K=20、24、28、32；对于 F=2，K=12、16、20、24、28、32；对于 F=4，K=8、12、16、20、24、28、32；对于 F=8，K=4、8、12、16、20、24、28、32；对 F=16，K=4、8、12、16、20、24、28、32。 / [4]Only valid K×F values divisible by 4 are supported: for F=1, K=20, 24, 28, 32; for F=2, K=12, 16, 20, 24, 28, 32; for F=4, K=8, 12, 16, 20, 24, 28, 32; for F=8, K=4, 8, 12, 16, 20, 24, 28, 32; for F=16, K=4, 8, 12, 16, 20, 24, 28, 32.

1. Example 1: full-bandwidth mode. In this example, the chip application mode is full-bandwidth mode (see Figure 46), as follows:
2. Two 2.56GSPS 14-bit converters.
3. Full-bandwidth application-layer mode.

4. Bypassed decimation filters.

5. 示例 1：全带宽模式，在该示例中，芯片应用模式是全带宽模式(参见图 46)，如下所示：

6. 两个 2.56GSPS 的 14 位转换器
7. 全带宽应用层模式
8. 旁路抽取滤波器

JESD204B output configuration: - Two virtual converters required. - Output sample rate (fOUT) = 2.56/1 = 2560MSPS.

JESD204B 输出配置如下： - 需要两个虚拟转换器 - 输出采样率(fOUT)=2.56/1 =2560MSPS

Supported JESD204B output configurations include: - N'=16 bits. - N=14 bits. - L=8, M=2, F=1 or L=8, M=2, F=2. - CS=0. - K=32. - Output serial line rate = 12.8Gbps per lane. - PLL control register 0x056E set to 0x00.

JESD204B 支持的输出配置包括以下内容: - N'=16 位 - N=14 位 - L=8，M=2，F=1 或L=8，M=2，F=2 - CS=0 - K=32 - 输出串行线路速率=每通道 12.8Gbps - PLL 控制寄存器 0x056E 设置为 0x00。

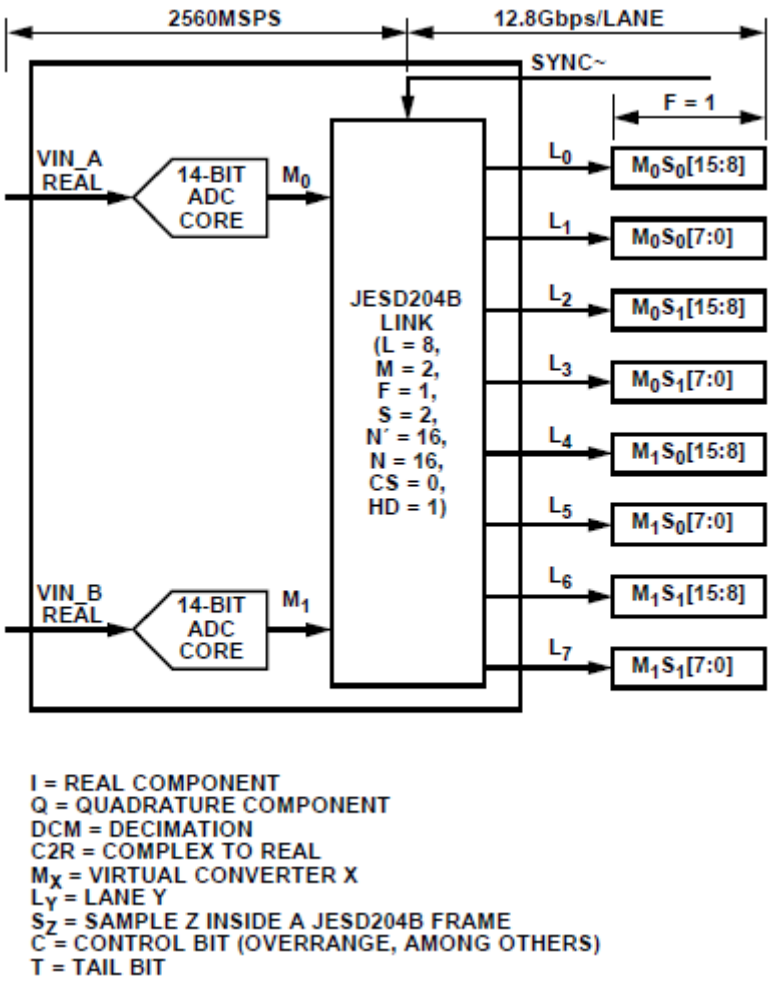


Figure 46: 全带宽模式

1. Example 2: ADC with DDC options (two ADCs and two DDCs). This example demonstrates the flexibility of the SXA018's digital and lane configuration. The sampling rate is 2.4576GSPS; however, depending on the input/output speed capability of the receiving device, all outputs are combined into two or four lanes. The setup is shown in Figure 47, with the following configuration:
2. Two 2.4576GSPS 14-bit converters.
3. Two-DDC application-layer mode with complex outputs (I/Q).
4. Chip decimation rate = 10.
5. DDC decimation rate = 10.

2.示例 2：带 DDC 选项的 ADC(两个 ADC 和两个 DDC)，此示例展示了 SXA018 的数字和通道配置的灵活性。采样率为 2.4576GSPS；但是，根据接收设备的输入/输出速度能力，输出全部组合在两个或四个通道中。设置如图 47，具有以下配置： - 两个 2.4576GSPS 的 14 位转换器 - 具有复数输出(I/Q)的两个 DDC 应用层模式 - 芯片抽取率=10 - DDC 抽取率=10

JESD204B output configuration: - Virtual converters required = 4. - Output sample rate (fOUT) = 2457.6/10 = 245.76 MSPS.

JESD204B 输出配置如下： - 所需虚拟转换器=4 - 输出采样率(fOUT)= 2457.6/10 =245.76 MSPS

Supported JESD204B output configurations include: - N'=16 bits. - N=14 bits. - L=2, M=4, F=4 or L=4, M=4, F=2 or L=8, M=4, F=1. - CS=0. - K=32. - Output serial line rate = 9.8304Gbps per lane (L=2), or 4.9152Gbps per lane (L=4), or 2.4576Gbps per lane (L=8).

JESD204B 支持的输出配置包括以下内容： - N'=16 位 - N=14 位 - L=2，M=4，F=4 或L=4，M=4，F=2或 L=8，M=4，F=1 - CS=0 - K=32 - 输出串行线路速率 = 每通道 9.8304Gbps (L=2) 或 每通道 4.9152Gbps (L=4) 或 每通道 2.4576Gbps (L=8)

For L=2, set PLL control register 0x056E to 0x00.

对于 L=2，将 PLL 控制寄存器 0x056E 设置为 0x00。

For L=4, set PLL control register 0x056E to 0x10.

对于 L=4，将 PLL 控制寄存器 0x056E 设置为 0x10。

For L=8, set PLL control register 0x056E to 0x50.

对于 L=8，将 PLL 控制寄存器 0x056E 设置为 0x50。

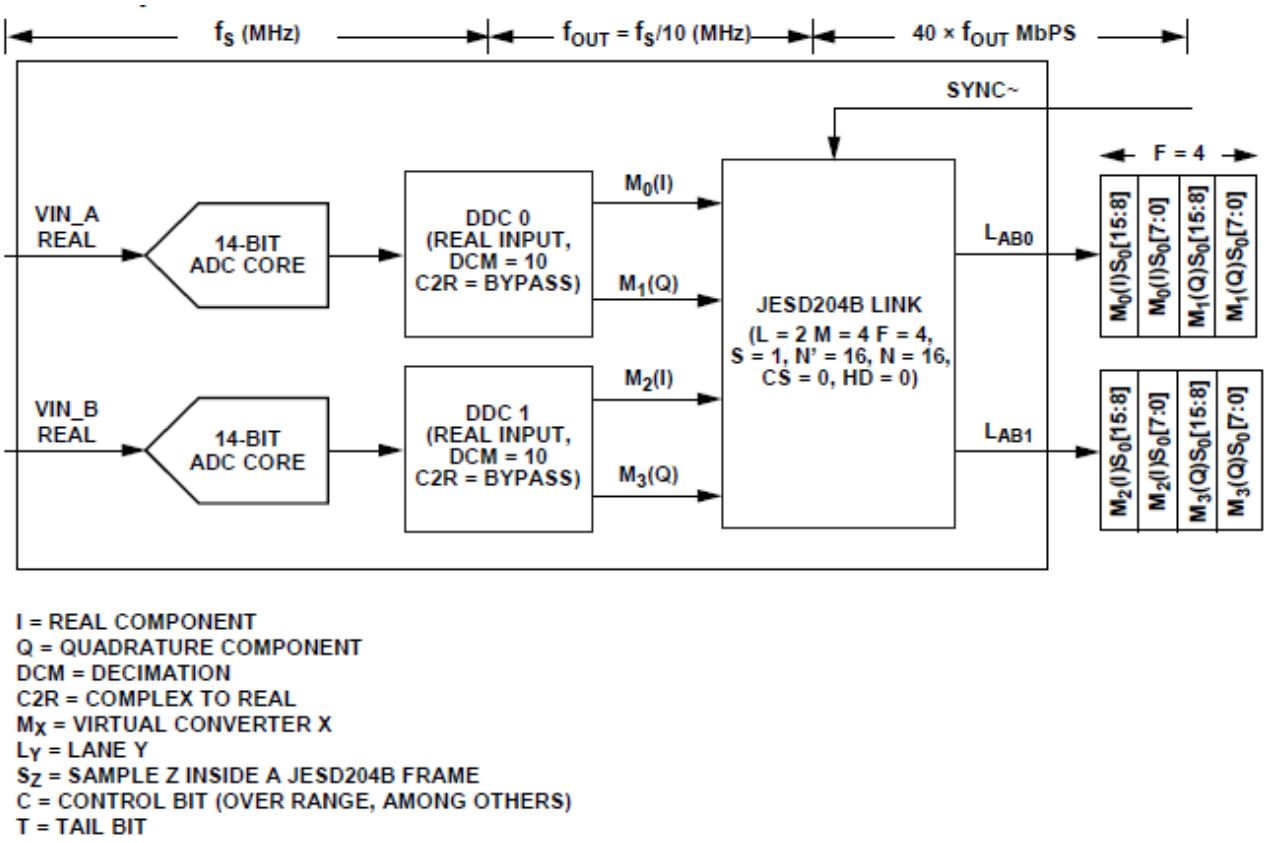


Figure 47: 两个 ADC 和两个 DDC

确定性延迟 / Deterministic Latency:

The SXA018 supports JESD204B Subclass 0 and Subclass 1 operation. Bits [7:5] of register 0x0590 set the subclass mode, with the default setting being Subclass 1 operation mode (register 0x590, bit 5=1).

SXA018 支持 JESD204B 子类 0 和子类 1 操作。寄存器 0x0590 位[7:5]设置子类模式，其默认设置为子类 1 操作模式(寄存器 0x590，位 5=1）。

Subclass 0 operation:

子类 0 操作

If multi-chip synchronization is not required when operating in Subclass 0 mode (register 0x590, bits [7:5]=000), the SYSREF input can be disconnected. In this mode, the JESD204B clock relationship between the JESD204B transmitter and receiver is arbitrary, but does not affect the receiver's ability to capture and align the lanes within the link.

如果在子类 0 模式（寄存器 0x590，位[7:5]=000）下操作时不需要多芯片同步，则可以断开 SYSREF 输入。在这种模式下，JESD204B 发送器和接收器之间的 JESD204B 时钟关系是任意的，但不影响接收器捕获和对齐链路内通道的能力。

Subclass 1 operation:

子类 1 操作

The JESD204B protocol organizes data samples into octets, frames, and multiframes, as described in the transport layer section. The LMFC is synchronized with the start of the multiframe. In Subclass 1 operation, the SYSREF signal is used to synchronize the LMFC of each device in a link or across multiple links, as shown in Figure 48. The JESD204B receiver utilizes multiframe boundaries and buffers to achieve multi-lane alignment (and even multiple devices), and to achieve deterministic latency across different power cycles and link resets.

JESD204B 协议将数据样本组织成八位字节、帧和多帧，如传输层部分所述。LMFC 与多帧的起始同步。在子类 1 操作中，SYSREF 信号用于同步链路中或跨多个链路的每个设备的 LMFC，如图 48 所示。JESD204B 接收器利用多帧边界和缓冲器来实现多通道的对齐(甚至多个设备)，并实现不同电源周期和链路重置时的确定性延迟。

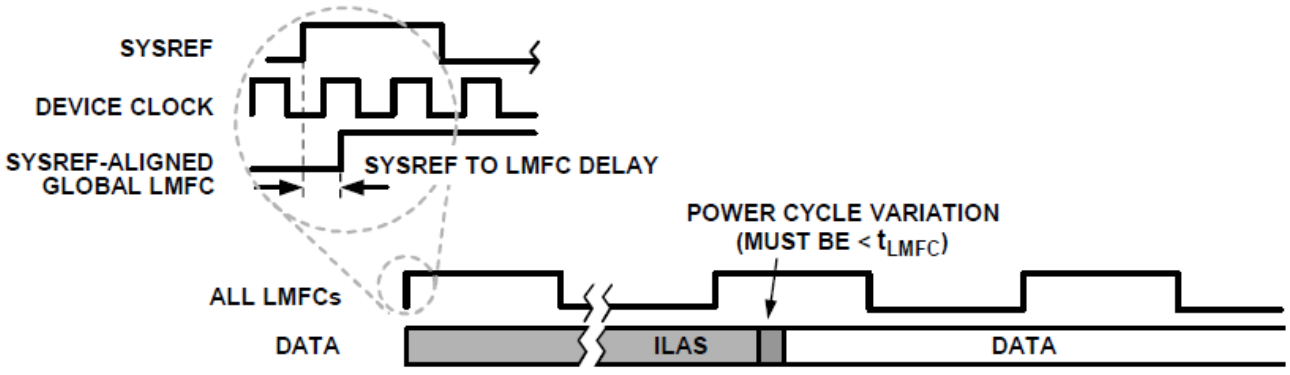


Figure 48: SYSREF 和 LMFC

Deterministic latency requirements:

确定性延迟要求

Achieving deterministic latency in a JESD204B Subclass 1 system requires several key factors.

在 JESD204B 子类 1 系统中实现确定性延迟需要几个关键因素。

- The SYSREF± signal distribution skew within the system must be less than the uncertainty required by the system.
- 系统内的 SYSREF±信号分布偏斜必须小于系统所需的不确定性。
- Each device in the system must meet the SYSREF± setup and hold time requirements.
- 系统中的每个设备都必须满足 SYSREF±设置和保持时间要求。
- The total delay variation across all lanes, links, and devices must be ≤1 LMFC period. This total delay includes variable delay and variations in fixed delay from lane to lane, link to link, and device to device in the system.
- 所有通道、链路和设备的总延迟变化必须≤1 LMFC 周期。该总延迟包括可变延迟和系统中从通道到通道、链路到链路以及设备到设备的固定延迟的变化。

Setting the deterministic latency registers:

设置确定性延迟寄存器

The JESD204B receiver buffer in the logic device begins data at LMFC boundaries. If the total link delay in the system is close to an integer multiple of the LMFC period, the data arrival time at the receive buffer may overlap the LMFC boundary from one power cycle to the next. To ensure deterministic latency in this case, LMFC phase adjustment must be performed at the transmitter or receiver. Typically, the receiver's LMFC is adjusted to accommodate the receive buffer. In the SXA018, the LMFC offset register (register 0x0578, bits [4:0]) can be used for this adjustment. This register delays the LMFC in frame-clock-period steps, depending on the F parameter (number of octets per frame per lane). For F=1, it must be set to multiples of 4 (0, 4, 8, etc.), resulting in steps of four frame-clock offsets. For F=2, it must be set to multiples of 2 (0, 2, 4, etc.), resulting in steps of two frame-clock offsets. For other values of F, there is no requirement on the set value, resulting in steps of one frame-clock offset. Figure 49 shows how the local LMFC of the SXA018 can be adjusted to delay the time data arrives at the receiver when the link delay is close to the LMFC boundary. Figure 50 shows how the receiver's LMFC can be delayed to accommodate the receive buffer timing.

逻辑设备中的 JESD204B 接收器缓冲在 LMFC 边界上开始的数据。如果系统中的总链路延迟接近 LMFC 周期的整数倍，则从一个电源周期到下一个电源周期，接收缓冲器处的数据到达时间可能与 LMFC 边界重叠。为了确保这种情况下的确定性延迟，必须在发射机或接收机处执行 LMFC 的相位调整。通常，对接收器的 LMFC 进行调整以适应接收缓冲区。在 SXA018 中，可以使用 LMFC 偏移寄存器(寄存器 0x0578，位[4:0])进行此调整。此寄存器以帧时钟周期为步长延迟 LMFC，具体取决于 F 参数（每帧每通道的八位字节数）。对于 F=1，需要设置为 4 的倍数（0、4、8 等），并导致步长为四帧时钟偏移。对于 F=2，需要设置为 2 的倍数（0、2、4 等），并导致步长为两帧时钟偏移。对于 F 的其他值，设置值没有要求，并导致步长为一帧时钟偏移。如图 49 显示，当链路延迟接近 LMFC 边界时，SXA018 的本地 LMFC 可以调整以延迟数据到达接收器的时间。图 50 显示了接收器的 LMFC 如何延迟以适应接收缓冲器时序。

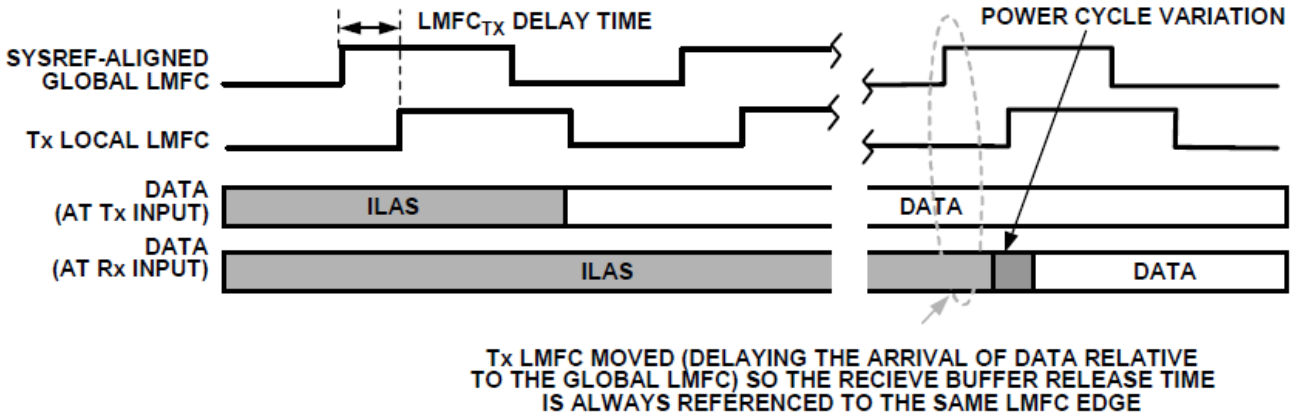


Figure 49: 调整 SXA018 中 JESD204B Tx LMFC

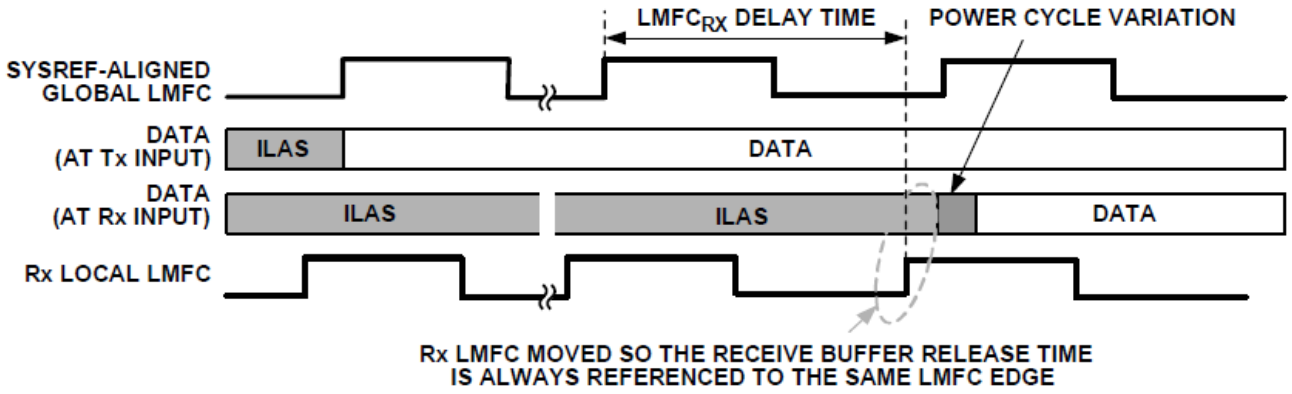


Figure 50: 调整接收设备中 JESD204B Rx LMFC

If the total delay in the system is not close to an integer multiple of the LMFC period, or if appropriate adjustment of the LMFC phase at the clock source has already been performed, variable delay from one power cycle to the next may still exist. In this case, check whether the SYSREF setup and hold time requirements were not met by reading the SYSREF setup/hold monitor register (register 0x0128). This feature is fully described in the SYSREF± setup/hold monitor section. If reading register 0x0128 shows a problem, it may be necessary to adjust the phase of SYSREF and/or the device clock (CLK±).

如果系统中的总延迟未接近 LMFC 周期的整数倍，或者如果已经对时钟源处的 LMFC 相位进行了适当的调整，如果仍然存在从一个电源周期到下一个电源周期的可变延迟。在这种情况下，请通过读取 SYSREF 建立/保持监视器寄存器(寄存器 0x0128)来检查是否未满足 SYSREF 的建立和保持时间要求。此功能在 SYSREF±建立/保持监视器部分中有完整描述。如果读取寄存器 0x0128 显示出现问题，则可能需要调整 SYSREF 和/或器件时钟(CLK±)的相位。

多芯片同步 / Multi-Chip Synchronization:

The flowchart in Figure 51 describes the internal mechanism used for multi-chip synchronization in the SXA018. The sync mode bit (bit 0) in register 0x1FF determines the sync mode; each mode involves a different application of the SYSREF signal.

图 51 中的流程图描述了 SXA018 中用于多芯片同步的内部机制。寄存器 0x1FF 中的同步模式位(位 0)确定同步模式，每种方式涉及 SYSREF 信号的不同应用。

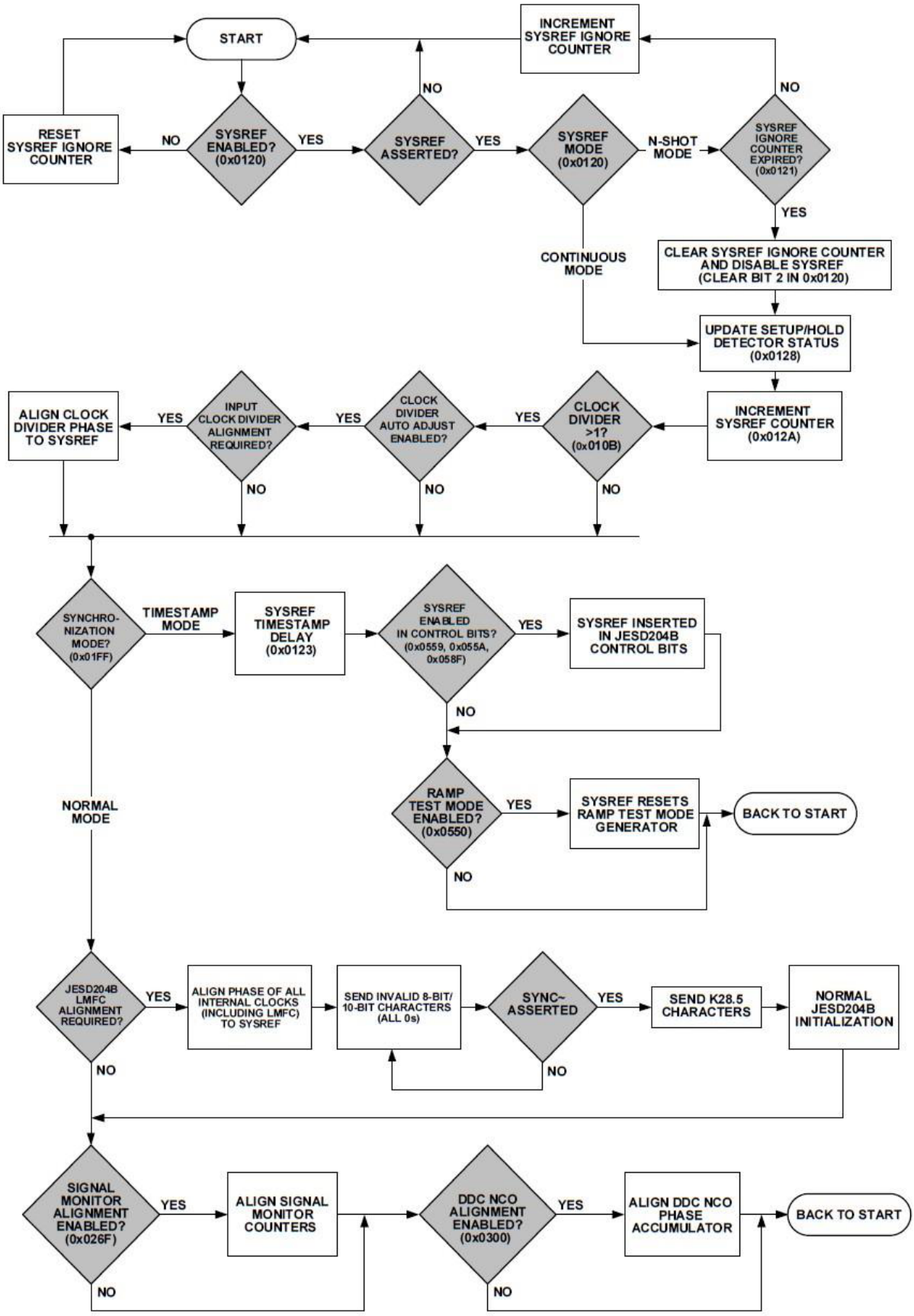


Figure 51: SYSREF 捕获场景和多芯片同步

Normal mode:

正常模式

The default state of the sync mode bit is 0x0, which configures the SXA018 for normal sync mode. The JESD204B standard specifies using SYSREF to provide deterministic latency in a single link. When applied to systems with multiple converters and logic devices, it can also provide multi-chip synchronization. In Figure 51, this sync mode is called normal mode. Follow the procedure outlined in the figure to ensure the SXA018 is properly configured.

同步模式位的默认状态为 0x0，这将配置 SXA018 为正常同步模式。JESD204B 标准指定使用 SYSREF 在单个链路中提供确定性延迟。当应用于具有多个转换器和逻辑器件的系统时，也可以提供多芯片同步。图 51 中，该同步模式被称为正常模式。按照图中概述的过程，确保适当地配置 SXA018。

Timestamp mode:

时间戳模式

For SXA018 full-bandwidth mode, the SYSREF input can also be used to timestamp samples. Timestamping is another multi-chip synchronization method. Timestamping is particularly effective when synchronizing multiple devices to one or more logic devices, where the logic device only needs to buffer the data streams, identify the timestamped samples, and align them. When the sync mode bit (register 0x01FF, bit 0) is set to 0x1, timestamp mode is enabled. In this mode, SYSREF resets the sample dividers and the JESD204B clocks, while the clocks are not reset; the corresponding samples are timestamped using the JESD204B control bits of that sample. The following additional settings are required to operate in timestamp mode:

对于 SXA018 全带宽模式，SYSREF 输入也可用于时间戳样本。时间戳是另一种多芯片同步方法。当将多个设备同步到一个或多个逻辑设备时，时间戳特别有效，逻辑设备只需缓冲数据流，识别带有时间戳的样本并对齐它们。当同步模式位(寄存器 0x01FF，位 0)设置为 0x1，时间戳模式使能。在此模式下，SYSREF 重置采样分频器和 JESD204B 时钟，而时钟不被重置;使用该样本的 JESD204B 控制位对相应样本进行时间戳标记。要在时间戳模式下操作，需要以下附加设置：

- Continuous or N-shot SYSREF must be enabled (register 0x0120, bits [2:1] = 1 or 2).
- 必须启用连续或 N-shot SYSREF(寄存器 0x0120，位[2:1]的值为 1 或 2)。
- At least one control bit must be enabled (register 0x058F, bits [7:6] = 1, 2, or 3).
- 必须至少启用一个控制位(寄存器 0x058F，位[7:6]的值为 1、2 或 3)。
- Set one of the control bits to SYSREF as follows:
- 将其中一个控制位的功能设置为SYSREF，如下所示：
- If using control bit 0, register 0x0559 bits [3:0]=5.
- 如果使用控制位 0，寄存器 0x0559 位[3:0]=5。
- If using control bit 1, register 0x0559 bits [7:4]=5.
- 如果使用控制位 1，寄存器 0x0559 位[7:4]=5。
- If using control bit 2, register 0x055A bits [3:0]=5.
- 如果使用控制位 2，寄存器 0x055A 位[3:0]=5。

Figure 52 shows how input samples aligned with SYSREF are timestamped and eventually output from the ADC. In this example, there are two control bits, and control bit 0 indicates which sample is aligned with the SYSREF rising edge.

图 52 显示了与 SYSREF 一致的输入样本是如何被打上时间戳并最终从 ADC 输出的。在该示例中，存在两个控制位，并且控制位 0 指示哪个样本与 SYSREF 上升沿一致。

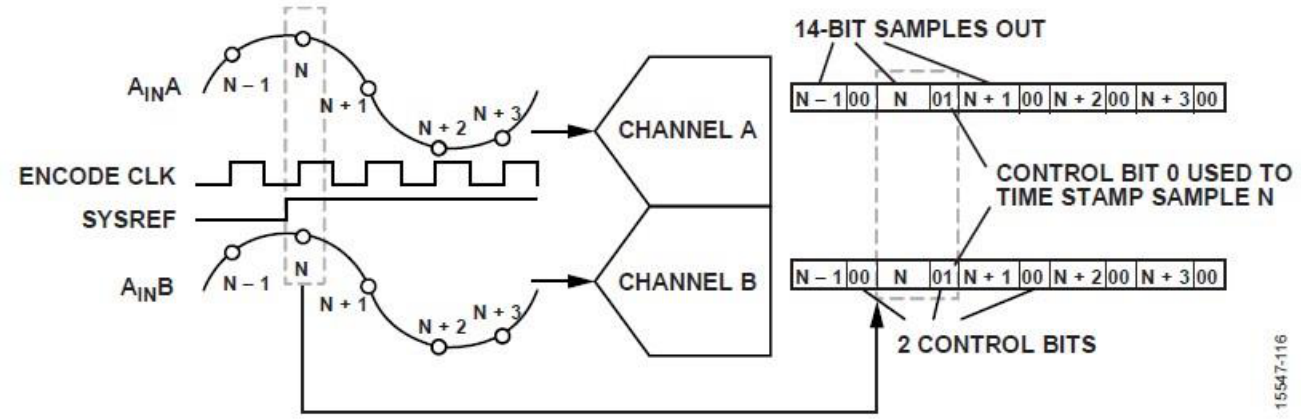


Figure 52: 时间戳 CS=2（寄存器 0x058F，位[7:6]=2），控制位 0 为 SYSREF（寄存器 0x0559，位[3:0]=5）

The pipeline delay of each lane is the same. If needed, the SYSREF timestamp delay register (register 0x0123) can be used to adjust the timing of the timestamped samples. Timestamping is not supported in any SXA018 operating mode that uses decimation.

每个通道的流水线延迟是相同的。如果需要，可以使用 SYSREF 时间戳延迟寄存器(寄存器 0x0123)来调整带有时间戳的样本的时序。任何使用抽取的 SXA018 操作模式都不支持时间戳。

SYSREF 输入 / SYSREF Input:

The SYSREF input signal is used as a high-precision system reference for deterministic latency and multi-chip synchronization. The SXA018 accepts single-shot or periodic input signals. The SYSREF mode select bits (register 0x0120, bits [2:1]) select the input signal type and activate the SYSREF state machine when set. If in single-shot (or N-shot) mode (register 0x0120, bits [2:1]=2), when the appropriate SYSREF edge is detected, the SYSREF mode select bits self-clear. The minimum pulse width is two CLK± periods. If the clock divider (register 0x010B, bits [3:0]) is set to a value other than divide-by-1, this minimum pulse width requirement is multiplied by the divide ratio (e.g., if set to divide-by-8, the minimum pulse width is 16 CLK± periods). When using a continuous SYSREF signal (register 0x0120, bits [2:1]=1), the SYSREF signal period must be an integer multiple of the LMFC. The LMFC frequency can be derived from the following formula:

SYSREF 输入信号用作确定性延迟和多芯片同步的高精度系统参考。SXA018 接受单次或周期性输入信号。SYSREF 模式选择位(寄存器 0x0120，位[2:1])选择输入信号类型，并在设置时激活 SYSREF 状态机。如果处于单次(或 N shot)模式下，(寄存器 0x0120，位[2:1]=2)，当检测到适当的 SYSREF 边沿后，SYSREF 模式选择位自清零。脉冲宽度的最小宽度为两个 CLK±周期。如果时钟分频器（寄存器 0x010B，位[3:0]）设置为 1 分频以外的值，则将此最小脉冲宽度要求乘以分频比（例如，如果设置为 8 分频，则最小脉冲宽度为 16 个 CLK±周期）。当使用连续的 SYSREF 信号（寄存器 0x0120，位[2:1]=1）时，SYSREF 信号的周期必须是 LMFC 的整数倍。LMFC 频率可以用以下公式推导出：

LMFC = ADC 时钟/（S ×K) / LMFC = ADC clock / (S × K)

where:

其中：

- S is the number of samples per converter.
- S 是每个转换器的采样数。
- K is the number of frames per multiframe.
- K 是每个多帧的帧数。

When in sync mode (normal mode, register 0x01FF, bit 0=0x0), the input clock divider, DDCs, signal monitors, and JESD204B link are all synchronized using the SYSREF± input. The SYSREF± input can also be used to timestamp ADC samples or to provide synchronization for multiple SXA018 devices. For the highest level of timing precision, SYSREF± must meet the setup and hold requirements relative to the CLK± input.

当处于同步模式(正常模式，寄存器 0x01FF，位 0=0x0)时，输入时钟分频器、DDC、信号监视器和 JESD204B 链路都使用 SYSREF±输入进行同步。SYSREF±输入也可用于对 ADC 样本进行时间戳或提供用于多个 SXA018 设备的同步。为了获得最高级别的定时精度，SYSREF±必须满足相对于 CLK±输入的建立和保持要求。

SYSREF 控制功能 / SYSREF Control Functions:

SYSREF, together with the input clock (CLK), is used as part of the synchronization timing interface, and must meet the -65ps and 95ps setup and hold time requirements relative to CLK (see Figure 53). The SXA018 has several features to help customers meet these requirements. First, the SYSREF sampling event can be defined as a synchronized low-to-high transition or a synchronized high-to-low transition.

SYSREF 与输入时钟(CLK)一起用作同步时序接口的一部分，并且需要满足相对于 CLK 的 -65ps 和 95ps 的建立和保持时间要求(参见图 53)。SXA018 具有几个功能，可帮助客户满足这些要求。首先，SYSREF 采样事件可以定义为同步的低电平到高电平转换或同步的高电平到低电平转换。

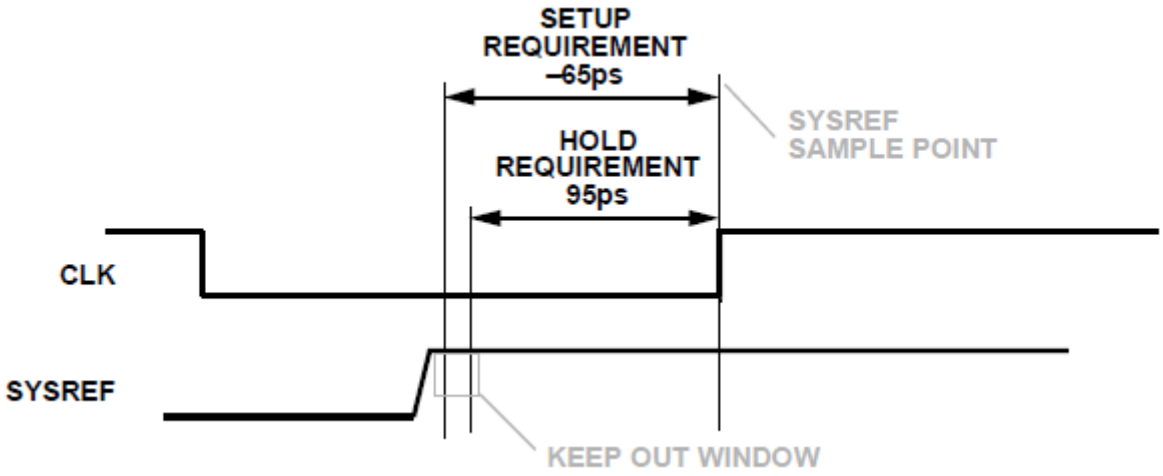


Figure 53: SYSREF 建立和保持时间要求。使用上升沿时钟捕获 SYSREF

The SXA018 allows the SYSREF signal to be sampled using the rising or falling edge of the input clock. Figures 53–56 show all four possible combinations. The SXA018 has the ability to ignore a programmable number (up to 16) of SYSREF events. (The SYSREF ignore feature is enabled by setting SYSREF mode register 0x0120, bits [2:1] to 2'b10, which is labeled N-shot mode.) This feature is useful for handling periodic SYSREF signals that need time to stabilize after startup. Ignoring SYSREF before the clocks in the system have stabilized avoids inaccurate SYSREF triggers. Figure 57 shows an example when three SYSREF events are ignored.

SXA018 允许使用输入时钟的上升沿或下降沿对 SYSREF 信号进行采样。图 53-图 56 示出了所有四种可能的组合。SXA018 具有忽略 SYSREF 事件的可编程数量(最多 16 个)能力。(通过将 SYSREF 模式寄存器 0x0120，位[2:1]设置为 2’b10，来启用 SYSREF 忽略功能，这被标记为 N-shot 模式）。此功能对于处理启动后需要时间稳定的周期性 SYSREF 信号非常有用。在系统中的时钟稳定之前忽略 SYSREF 可以避免不准确的 SYSREF 触发。图 57 示出了当忽略三个 SYSREF 事件时的示例。

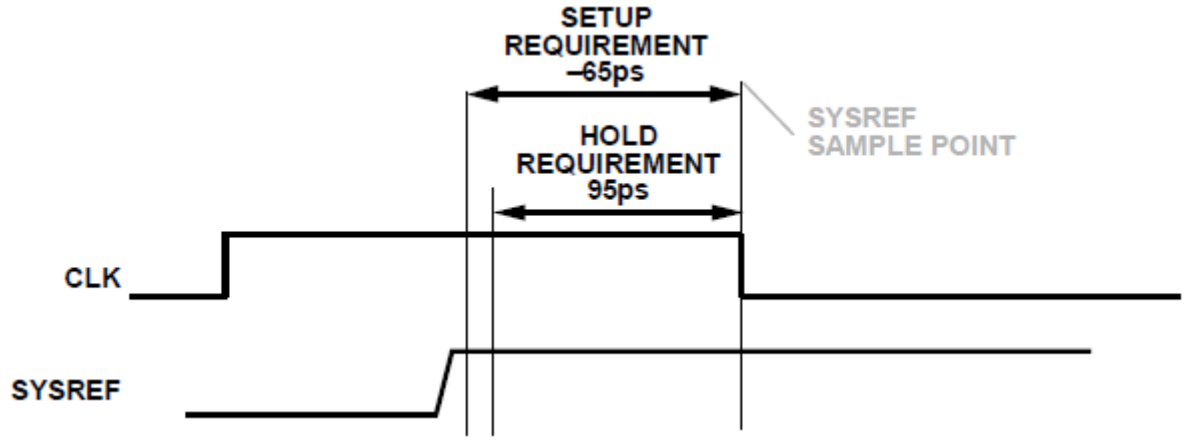


Figure 54: 使用时钟下降沿捕获 SYSREF 低到高转换（寄存器 0x0120，位 4=1'b0，寄存器 0x0120，位 3=1'b1）

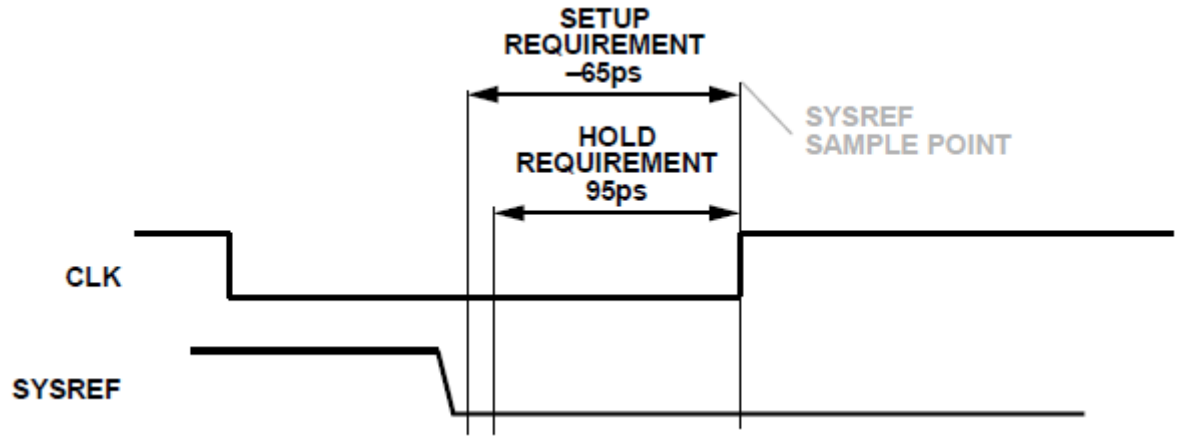


Figure 55: 使用时钟上升沿捕获 SYSREF 高到低转换（寄存器 0x0120，位 4=1'b1，寄存器 0x0120，位 3=1'b0）

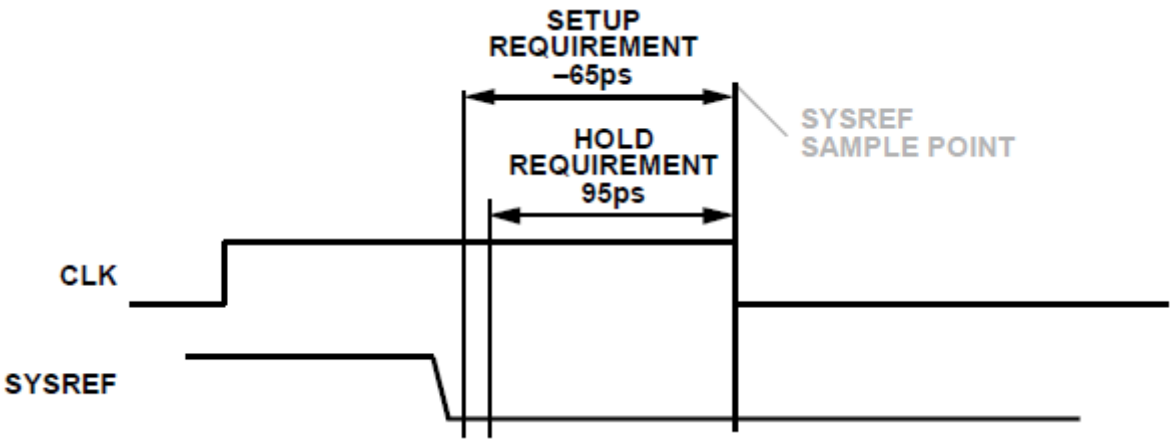


Figure 56: 使用时钟下降沿捕获 SYSREF 高到低转换（寄存器 0x0120，位 4=1'b1，寄存器 0x0120，位 3=1'b1）

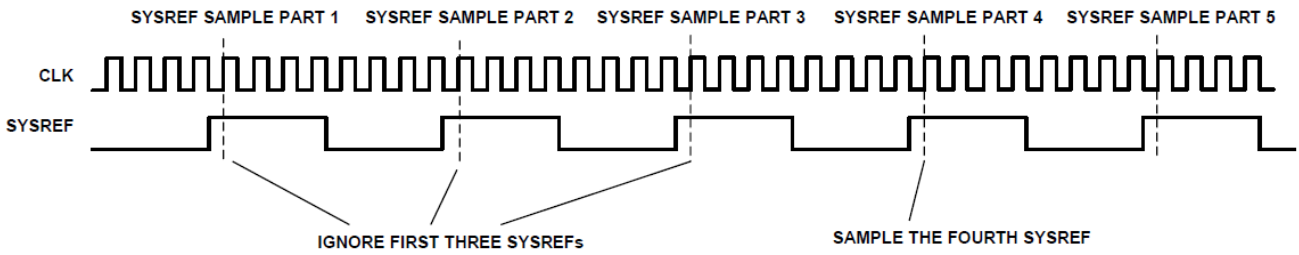


Figure 57: SYSREF 忽略示例(SYSREF 忽略计数器，寄存器 0x0121，位[3:0]=3)

In continuous SYSREF mode (register 0x0120, bits [2:1]=1), the SXA018 monitors the position of the internal LMFC relative to the SYSREF edge. If SYSREF is captured with a clock edge other than the clock edge aligned with the LMFC, the SXA018 initiates resynchronization of the link. The SXA018 provides another SYSREF-related feature that can accommodate periodic SYSREF signals when cycle-exact capture is not feasible or not needed. For this case, the SXA018 has a programmable SYSREF offset window that allows the internal dividers to remain undisturbed unless SYSREF appears outside the offset window. The SYSREF resolution skew window is set in sample clock periods. If the SYSREF negative skew window is 1 and the positive skew window is 1, the total skew window is ±1 sample clock periods, meaning that as long as SYSREF is captured within ±1 sample clock periods of the clock aligned with the LMFC, the link continues to operate normally.

在连续 SYSREF 模式下（寄存器 0x0120，位[2:1]=1），SXA018 监控内部 LMFC 与 SYSREF 边沿的位置。如果 SYSREF 是用与 LMFC 对齐的时钟边沿以外的时钟边沿捕获的，则 SXA018 启动链路的重新同步。SXA018 提供另一个与 SYSREF 相关的功能，可以在周期精确捕获不可行或不需要的情况下适应周期性 SYSREF 信号。对于这种情况，SXA018 具有可编程 SYSREF 偏移窗口，允许内部分频器保持不受干扰，除非 SYSREF 出现在偏移窗口之外。SYSREF 的分辨率偏斜窗口在采样时钟周期内设置。如果 SYSREF 负偏斜窗口为 1，正偏斜窗口为 1，则总偏斜窗口为±1 个采样时钟周期，这意味着只要 SYSREF 在与 LMFC 对齐的时钟的±1 个采样时钟周期内捕获，链路继续正常运行。

If SYSREF has jitter, which may cause misalignment between SYSREF and the LMFC, this feature allows the system to continue operating without resynchronization, while letting the device continue to monitor larger timing errors not caused by jitter. For the SXA018, the positive and negative skew windows are controlled by SYSREF (register 0x0122, bits [3:2]) and SYSREF (register 0x0122, bits [1:0]). Figure 58 shows the position information of the offset window settings relative to phase 0 of the internal divider. Negative skew is defined as occurring before the internal divider reaches phase 0, while positive skew is defined as occurring after the internal divider reaches phase 0.

如果 SYSREF 有抖动，这可能会导致 SYSREF 和 LMFC 之间未对齐，则此功能允许系统在没有重新同步的情况下继续运行，同时让设备继续监控不是由抖动引起的更大时序错误。对于 SXA018，正负偏斜窗口由 SYSREF (寄存器 0x0122，位[3:2])和 SYSREF(寄存器 0x0122，位[1:0])控制。图 58 显示了偏移窗口设置相对于内部分压器相位 0 的位置信息。负偏斜定义为发生在内部分频器到达相位 0 之前，而正偏斜定义为发生在内部分频器到达相位 0 之后。

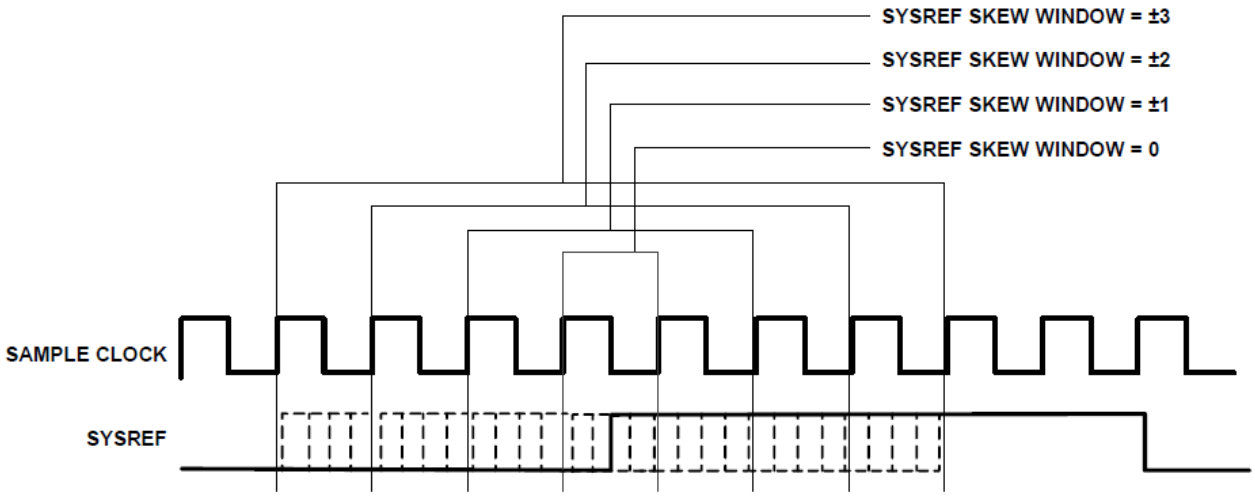


Figure 58: SYSREF 偏斜窗口

SYSREF±建立和保持窗口监视器 / SYSREF± Setup and Hold Window Monitor:

To ensure valid SYSREF signal capture, the SXA018 has a SYSREF± setup and hold window monitor; this feature allows system designers to determine the position of the SYSREF± signal relative to the CLK± signal via the setup/hold margin measurement on the register read interface.

为了确保一个有效的 SYSREF 信号捕获，SXA018 有一个 SYSREF±建立和保持窗口监视器，该特性允许系统设计者通过寄存器读取接口上的建立/保持裕度量来确定 SYSREF±信号相对于 CLK±信号的位置。

Figures 59 and 60 show the setup and hold status values for different phases of SYSREF±. The setup time detector returns the status of the SYSREF± signal before the CLK± edge, while the hold time detector returns the status of the SYSREF signal after the CLK± edge. Register 0x0128 stores the status of SYSREF± and lets the user know whether the SYSREF± signal was captured by the ADC. shows the description of the contents of register 0x128 and how to interpret them.

图 59 和图 60 显示了 SYSREF±不同阶段的建立和保持状态值。建立时间检测器返回CLK±边缘之前的 SYSREF±信号的状态，而保持时间检测器返回 CLK±边缘之后的 SYSREF 信号的状态。寄存器0x0128 存储 SYSREF±的状态，并让用户知道 SYSREF±信号是否被 ADC 捕获。显示了寄存器 0x128 的内容的描述以及如何解释它们。

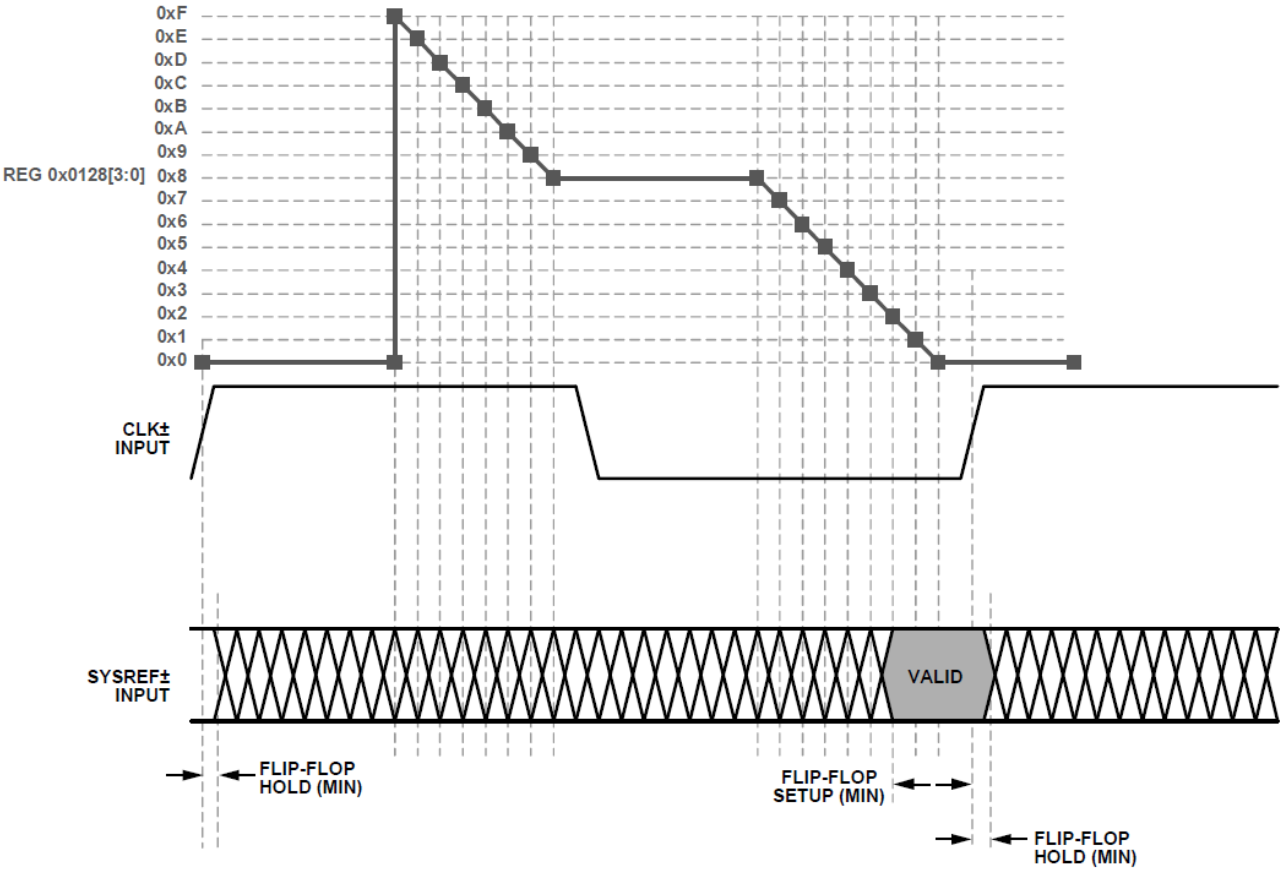


Figure 59: SYSREF±建立时间检测器

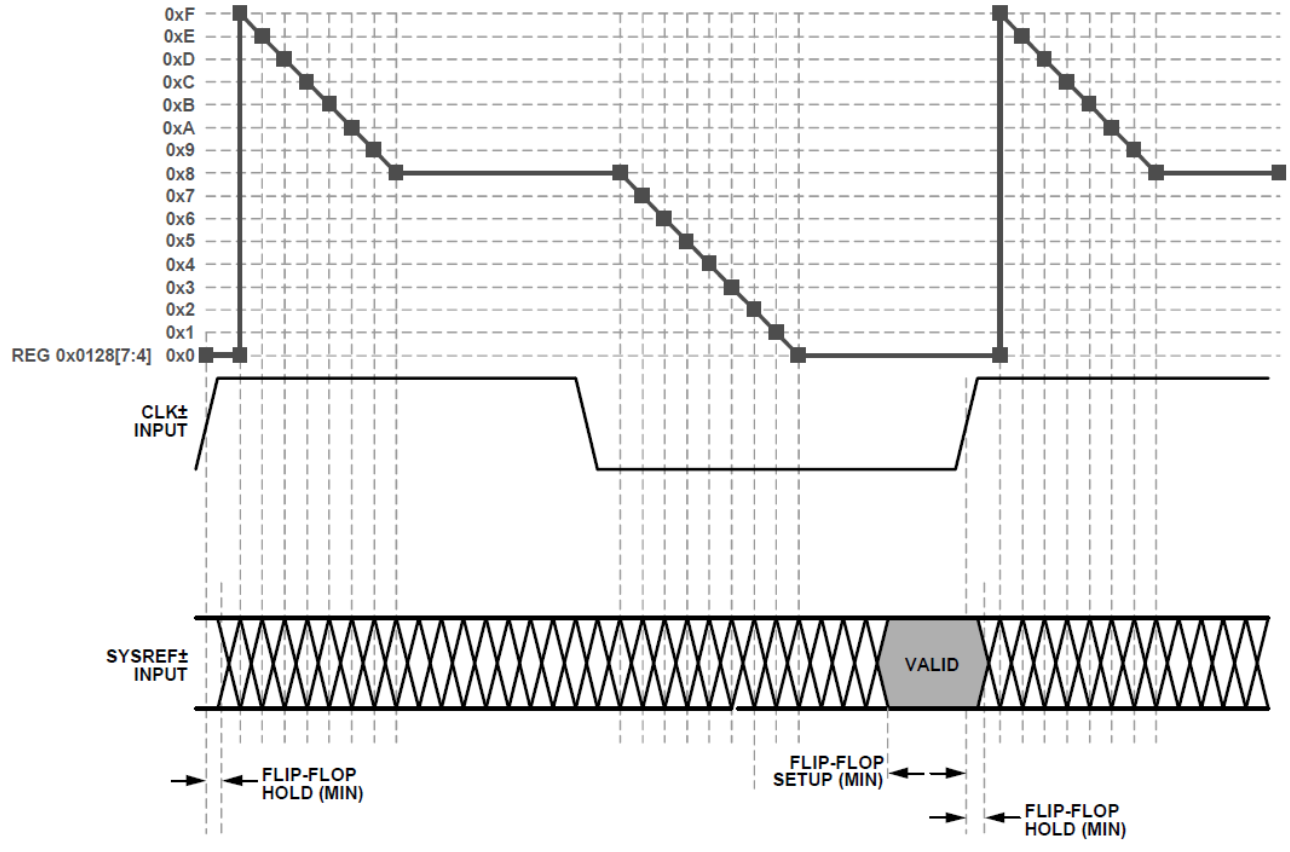


Figure 60: SYSREF±保持时间检测器

表22 / Table 22 — SYSREF±建立/保持监视器，0x0128 / SYSREF± Setup/Hold Monitor, 0x0128

寄存器 0x0128，位[7:4] 保持状态 / Register 0x0128, Bits [7:4] Hold Status	寄存器 0x0128，位[3:0] 建立状态 / Register 0x0128, Bits [3:0] Setup Status	描述 / Description
0x0	0x0 至0x7	可能有建立错误。这个数字越小，建立余量就越小。/ Possible setup error. The smaller this number, the smaller the setup margin.
0x0 至0x8	0x8	没有建立或保持错误 (最佳保持余量)。/ No setup or hold errors (best hold margin).
0x8	0x9 至0xF	没有建立或保持错误 (最佳建立和保持余量)。/ No setup or hold errors (best setup and hold margin).
0x8	0x0	没有建立或保持错误 (最佳建立余量)。/ No setup or hold errors (best setup margin).
0x9 至0xF	0x0	可能有保持错误。这个数字越大，保持余量越小。/ Possible hold error. The larger this number, the smaller the hold margin.
0x0	0x0	可能有建立或保持错误。/ Possible setup or hold error.

13 寄存器说明 / Register Description

The ADC's SPI consists of three pins: the SCLK pin, the SDIO pin, and the CSB pin (see). The SCLK (serial clock) pin is used to synchronize data read out of and written into the ADC. The SDIO (serial data input/output) pin is a dual-function pin through which data can be sent to the internal ADC memory-mapped registers or read out from them. The CSB (chip select) pin is an active-low control pin that enables or disables read/write cycles.

该 ADC 的 SPI 由三个引脚组成：SCLK 引脚、SDIO 引脚和 CSB 引脚（见）。SCLK(串行时钟)引脚用于同步 ADC 读出的数据和写入 ADC 的数据。SDIO(串行数据输入/输出)引脚是一个双功能引脚，可通过此引脚将数据发送至内部 ADC 存储器映射寄存器或从该寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表23 / Table 23 — 串行端口接口引脚 / Serial Port Interface Pins

引脚 / Pin	功能 / Function
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。/ Serial clock. Serial shift clock input, used to synchronize read and write operations of the serial interface.
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，具体取决于发送的指令和时序帧中的相对位置。/ Serial data input/output. Dual-function pin; normally used as input or output, depending on the instruction sent and the relative position in the timing frame.
CSB	片选信号。低电平有效控制引脚，用来选通读写周期。/ Chip select. Active-low control pin, used to gate read/write cycles.

The falling edge of CSB together with the rising edge of SCLK determines the start of a frame; all data is composed of 8-bit words. The first bit of each byte of serial data indicates whether a read or write

command is issued. This allows the data transfer direction of the SDIO pin to be changed from input to output. In addition to the word length, the instruction cycle determines whether the serial frame is a read or write operation, thereby programming the chip through the serial port and reading data in the on-chip memory. If the instruction is a readback operation, executing the readback operation causes the SDIO pin to switch from input to output at the appropriate position in the serial frame. Data can be sent in MSB-first or LSB-first mode. After chip power-on, MSB-first is used by default; the data transmission mode can be changed via the SPI port configuration register.

CSB 的下降沿与 SCLK 的上升沿共同决定帧的开始，所有数据均由 8 位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。这样，就能将 SDIO 引脚的数据传输方向从输入改为输出。除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程以及读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使 SDIO 引脚在串行帧的适当位置由输入变为输出。数据可通过 MSB 优先模式或 LSB 优先模式发送。芯片上电后，默认采用 MSB 优先的方式，可以通过 SPI 端口配置寄存器来更改数据发送方式。

13.1 存储器映射 / Memory Map

Each address in the memory map register table has 8 bits. The memory map is divided into the following sections:

存储器映射寄存器表中的每个地址都有 8 位。存储器映射分为以下部分：

- Analog circuit SPI registers (0x0000 to 0x000F).
- 模拟电路 SPI 寄存器（0x0000 至 0x000F）
- Clock/SYSREF/chip power-down pin control registers (0x003F to 0x01FF).
- 时钟/SYSREF/芯片掉电引脚控制寄存器（0x003F 至 0x01FF）
- Chip operating mode control registers (0x0200 to 0x0201).
- 芯片工作模式控制寄存器（0x0200 至 0x0201）
- Fast detect and signal monitor control registers (0x0245 to 0x027A).
- 快速检测和信号监控控制寄存器（0x0245 至 0x027A）
- DDC function registers (0x0300 to 0x03CD).
- DDC 功能寄存器（0x0300 至 0x03CD）
- Digital output and test mode registers (0x0550 to 0x05CB and 0x1222 to 0x01262).
- 数字输出和测试模式寄存器（0x0550 至 0x05CB 和 0x1222 至 0x01262）
- Programmable filter control and coefficient registers (0x0DF8 to 0x0F7F).
- 可编程滤波器控制和系数寄存器（0x0DF8 至 0x0F7F）
- VREF/analog input control registers (0x18A6 to 0x1A4D and 0x0701 to 0x073B).
- VREF/模拟输入控制寄存器（0x18A6 至 0x1A4D 和 0x0701 至 0x073B）

The memory map registers document the hexadecimal value of each address in detail. For example, the hexadecimal default value of register address 0x0561 is 0x01, which means the least significant bit is 1 and the remaining bits are 0.

存储器映射寄存器详细记录了每个地址的十六进制值。例如寄存器地址 0x0561 的十六进制默认值为 0x01，这意味着最低位为 1，其余位为 0。

13.2 默认值 / Default Values

After reset, key registers are loaded with default values. The default values of the registers are in the memory map register table.

复位后，关键寄存器加载默认值。寄存器的默认值在存储器映射寄存器表中。

13.3 逻辑电平 / Logic Levels

The interpretation of logic level terminology is as follows:

逻辑电平术语的解释如下：

- "Bit set" means "the bit is set to logic 1" or "the bit has been written to logic 1."
- "位已设置"即"该位已设置为逻辑 1"或"该位已写入逻辑 1。"
- "Bit cleared" means "the bit is set to logic 0" or "the bit has been written to logic 0."
- "清除位"即"该位已设置为逻辑 0"或"该位已写入逻辑 0。"
- X means don't care.
- X 表示无关位。

13.4 通道特定寄存器 / Channel-Specific Registers

Some channel setting functions, such as the buffer control registers (register 0x1A4C), can have different values for each channel; in this case, the register addresses are multiplexed, and these registers are considered local registers. In a write cycle, bits <1:0> of register 0x0008 can be set to decide whether to configure the local registers of channel A or channel B. If both bits are set, subsequent writes go to the local registers of both channels simultaneously. In a read cycle, only channel A or channel B is set to read the register; if both bits are 1 in an SPI read cycle, the value of channel A is returned.

一些通道设置功能，如缓冲控制寄存器（寄存器 0x1A4C），每个通道可以是不同的值，在这种情况下，寄存器地址是复用的，这些寄存器被认为是本地寄存器。在写周期中，可以通过设置寄存器 0x0008 的 bit<1：0>来决定是配置通道 A 还是通道 B 的本地寄存器。如果这两个位都设置了，后续会同时写入两个通道的本地寄存器。在读周期中，只设置通道 A 或通道 B 读取寄存器，如果两个位在 SPI 读取周期都为 1，则返回通道 A 的值。

13.5 存储器映射寄存器表 / Memory Map Register Table

表24 / Table 24 — 映射寄存器表 / Mapped Register Table

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0000	SPI Configuration A SPI 配置 A	7	软复位镜像（自清零） Soft reset mirror (self-clearing)	0 1	发出软复位时，用户必须等待 5 毫秒才能写入其它寄存器，以提供足够的时间来完成引导加载程序。 When issuing a soft reset, the user must wait 5 ms before writing other registers to provide sufficient time to complete the boot loader. 什么也不做。 Do nothing. 重置 SPI 和寄存器（自清零）。 Reset SPI and registers (self-clearing).	0x0	读/写、自清零 Read/write, self-clearing
0x0000		6				0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	SPI Configuration A SPI 配置 A		LSB 优先镜像 LSB-first mirror	1 0	对于所有 SPI 操作，最低有效位优先移动。 For all SPI operations, least significant bit is shifted first. 对于所有 SPI 操作，最高有效位优先移动。 For all SPI operations, most significant bit is shifted first.		读/写 Read/write
0x0000	SPI Configuration A SPI 配置 A	5	地址提升镜像 Address ascend mirror	0 1	多字节 SPI 操作导致地址自动递减。 Multi-byte SPI operations cause the address to automatically decrement. 多字节 SPI 操作导致地址自动递增。 Multi-byte SPI operations cause the address to automatically increment.	0x0	读/写 Read/write
0x0000	SPI Configuration A SPI 配置 A	[4:3]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0000	SPI Configuration A SPI 配置 A	2	地址提升 Address ascend	0 1	多字节 SPI 操作导致地址自动递减。 Multi-byte SPI operations cause the address to automatically decrement. 多字节 SPI 操作导致地址自动递增。 Multi-byte SPI operations cause the address to automatically increment.	0x0	读/写 Read/write
0x0000	SPI Configuration A SPI 配置 A	1	LSB 优先 LSB first	1 0	对于所有 SPI 操作，最低有效位优先移动。 For all SPI operations, least significant bit is shifted first. 对于所有 SPI 操作，最高有效位优先移动。 For all SPI operations, most significant bit is shifted first.	0x0	读/写 Read/write
0x0000	SPI Configuration A SPI 配置 A	0	软复位（自清零） Soft reset (self-clearing)	0 1	发出软复位时，用户必须等待 5 毫秒才能写入其它寄存器，以提供足够的时间来完成引导加载程序。 When issuing a soft reset, the user must wait 5 ms before writing other registers to provide sufficient time to complete the boot loader. 什么也不做。 Do nothing. 重置 SPI 和寄存器（自清零）。 Reset SPI and registers (self-clearing).	0x0	读/写、自清零 Read/write, self-clearing
0x0001	SPI Configuration B SPI 配置 B	[7:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0001	SPI Configuration B SPI 配置 B	1	数据路径软复位（自清零） Datapath soft reset (self-clearing)	0 1	正常操作。 Normal operation. 数据路径软复位（自清零）。 Datapath soft reset (self-clearing).	0x0	读/写、自清零 Read/write, self-clearing
0x0001	SPI Configu	0	保留 Reserved		保留。 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	ration B SPI 配置 B						
0x0002	Chip configuration (local) 芯片配置（本地）	[7:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0002	Chip configuration (local) 芯片配置（本地）	[1:0]	通道电源模式 Channel power mode	00 10 11	通道电源模式。 Channel power mode. 正常模式（通电）。 Normal mode (powered). 待机模式；禁用数字数据路径时钟；启用 JESD204B 接口。 Standby mode; disable digital datapath clocks; enable JESD204B interface. 掉电模式；禁用数字数据通道时钟；数字数据路径保持复位；禁用 JESD204B 接口。 Power-down mode; disable digital data channel clocks; digital datapath held in reset; disable JESD204B interface.	0x0	读/写 Read/write
0x0008	Device index 器件索引	[7:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0008	Device index 器件索引	1	通道 B Channel B	0 1	ADC Core B 不接收下一个 SPI 命令。 ADC Core B does not receive the next SPI command. ADC Core B 接收下一个 SPI 命令。 ADC Core B receives the next SPI command.	0x0	读 Read
0x0008	Device index 器件索引	0	通道 A Channel A	0 1	ADC Core B 不接收下一个 SPI 命令。 ADC Core B does not receive the next SPI command. ADC Core B 接收下一个 SPI 命令。 ADC Core B receives the next SPI command.	0x1	读/写 Read/write
0x000A	Scratch pad 便签寄存器	[7:0]	抓取板 Scratch pad		芯片抓取板寄存器。此寄存器为软件调试提供一致的内存位置。 Chip scratch pad register. This register provides a consistent memory location for software debugging.	0x0	读/写 Read/write
0x000F	Transfer 传输	[7:1]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x000F	Transfer 传输	0	芯片转换 Chip transfer	0 1	自清零芯片转换位。当 DDC 相位更新模式（寄存器 0x0300，位 7）=1 时，此位用于更新 DDC FTW/POW/MAW/MBW 增量和相位偏移寄存器，这使得同步更新 DDC 混频器频率成为可能。该位还用于更新可编程滤波器（PFILT）的系数。 Self-clearing chip transfer bit. When DDC phase update mode (register 0x0300, bit 7) = 1, this bit is used to update the DDC FTW/POW/MAW/MBW increment and phase offset registers, which makes synchronous updating of the DDC mixer frequency possible. This bit is also used to update the coefficients of the programmable filter (PFILT).	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					什么也不做。只有在转移完成后，位才清除。 Do nothing. The bit is cleared only after the transfer completes. 自清零位用来同步从主寄存器到从寄存器的数据传输。 Self-clearing bit used to synchronize data transfer from master registers to slave registers.		

时钟/SYSREF/芯片掉电引脚控制寄存器 / Clock/SYSREF/Chip Power-Down Pin Control Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x003F	Chip PDWN pin (local) 芯片 PDWN 引脚（本地）	7	本地 PDWN 禁用 Local PDWN disable	0 1	功能由寄存器 0x0040，位[7:6]决定。 Function determined by register 0x0040, bits [7:6]. 启用掉电引脚（PDWN/STBY）（默认）。 Enable power-down pin (PDWN/STBY) (default). 禁用/忽略掉电引脚（PDWN/STBY）。 Disable/ignore power-down pin (PDWN/STBY).	0x0	读/写 Read/write
0x003F	Chip PDWN pin (local) 芯片 PDWN 引脚（本地）	[6:0]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0040	Chip Pin Control 1 芯片引脚控制 1	[7:6]	芯片 PDWN 引脚功能 Chip PDWN pin function	00 01 10	外部掉电引脚功能。外部掉电引脚（PDWN/STBY）的使用比通道通电模式位的优先级更高。PDWN/STBY 引脚仅用在寄存器 0x0040，位[7:6]=00 或 01 时。 External power-down pin function. Use of the external power-down pin (PDWN/STBY) takes priority over the channel power mode bits. The PDWN/STBY pin is only used when register 0x0040, bits [7:6] = 00 or 01. 掉电引脚（默认）。使用外部掉电引脚（PDWN/STBY）使芯片处于掉电模式。 Power-down pin (default). Use the external power-down pin (PDWN/STBY) to place the chip in power-down mode. 待机引脚。使用外部掉电引脚（PDWN/STBY）使芯片进入待机模式。 Standby pin. Use the external power-down pin (PDWN/STBY) to place the chip in standby mode. 禁用引脚。忽略掉电引脚（PDWN/STBY）。 Disable pin. Ignore the power-down pin (PDWN/STBY).	0x0	读/写 Read/write
0x0040	Chip Pin Control 1 芯片引脚控制 1	[5:3]	芯片 FD_B/GPIO_B0 引脚功能 Chip FD_B/GPIO_B0	000 001 110 111	快速检测 B/GPIO B0 引脚功能。 Fast detect B/GPIO B0 pin function. 快速检测 B 输出。 Fast detect B output. JESD204B LMFC 输出。 JESD204B LMFC output. 引脚功能由寄存器 0x0041，位[7:4]确定。	0x7	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			pin function		Pin function determined by register 0x0041, bits [7:4]. 禁用。输入配置为弱下拉（默认）。 Disabled. Input configured as weak pull-down (default).		
0x0040	Chip Pin Control 1 芯片引脚控制 1	[2:0]	芯片 FD_A/GPIO_A0 引脚功能 Chip FD_A/GPIO_A0 pin function	000 001 110 111	快速检测 A/GPIO A0 引脚功能。 Fast detect A/GPIO A0 pin function. 快速检测 A 输出。 Fast detect A output. JESD204B LMFC 输出。 JESD204B LMFC output. 引脚功能由寄存器 0x0041，位[3:0]确定。 Pin function determined by register 0x0041, bits [3:0]. 禁用。输入配置为弱下拉（默认）。 Disabled. Input configured as weak pull-down (default).	0x7	读/写 Read/write
0x0041	Chip Pin Control 2 芯片引脚控制 2	[7:4]	芯片 FD_B/GPIO_B0 引脚辅助功能 Chip FD_B/GPIO_B0 pin auxiliary function	0000 0001 1000 1001	快速检测 B/GPIO B0 引脚辅助功能（仅在寄存器 0x0040，位[5:3]=110 时使用）。 Fast detect B/GPIO B0 pin auxiliary function (used only when register 0x0040, bits [5:3] = 110). 芯片 GPIO B0 输入（NCO 通道选择）。 Chip GPIO B0 input (NCO channel select). 芯片传输输入。 Chip transfer input. 主控器的下一个触发器输出（MNTO）。 Master next trigger output (MNTO). 从属下一个触发器输入（SNTI）。 Slave next trigger input (SNTI).	0x0	读/写 Read/write
0x0041	Chip Pin Control 2 芯片引脚控制 2	[3:0]	芯片 FD_A/GPIO_A0 引脚辅助功能 Chip FD_A/GPIO_A0 pin auxiliary function	0000 0001 1000 1001	快速检测 A/GPIO B0 引脚辅助功能（仅用在寄存器 0x0040，位[2:0]=110 时）。 Fast detect A/GPIO B0 pin auxiliary function (used only when register 0x0040, bits [2:0] = 110). 芯片 GPIO A0 输入（NCO 通道选择）。 Chip GPIO A0 input (NCO channel select). 芯片传输输入。 Chip transfer input. 主控器的下一个触发器输出（MNTO）。 Master next trigger output (MNTO). 从属下一个触发器输入（SNTI）。 Slave next trigger input (SNTI).	0x0	读/写 Read/write
0x0042	Chip Pin Control 3 芯片引脚控制 3	[7:4]	芯片 GPIO_B1 引脚功能 Chip GPIO_B1 pin function	0000 1000 1001 1111	GPIO B1 引脚功能。 GPIO B1 pin function. 芯片 GPIO B1 输入（NCO 通道选择）。 Chip GPIO B1 input (NCO channel select). 主控器的下一个触发器输出（MNTO）。 Master next trigger output (MNTO). 从属下一个触发器输入（SNTI）。 Slave next trigger input (SNTI). 禁用（输入配置为弱下拉）。 Disabled (input configured as weak pull-down).	0xF	读/写 Read/write
0x0042	Chip Pin Control 3 芯片引脚控制 3	[3:0]	芯片 GPIO_A1 引脚功能 Chip GPIO_A1	0000 1000 1001 1111	GPIO 引脚功能。 GPIO pin function. 芯片 GPIO A1 输入（NCO 通道选择）。 Chip GPIO A1 input (NCO channel select). 主控器的下一个触发器输出（MNTO）。	0xF	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			pin function		Master next trigger output (MNTO). 从属下一个触发器输入（SNTI）。 Slave next trigger input (SNTI). 禁用（输入配置为弱下拉）。 Disabled (input configured as weak pull-down).		
0x0108	Clock divider control 时钟分频器控制	[7:3]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0108	Clock divider control 时钟分频器控制	[2:0]	输入时钟分频器（CLK+pins） Input clock divider (CLK+pins)	00 01 11	1 分频。 Divide by 1. 2 分频。 Divide by 2. 4 分频。 Divide by 4.	0x0	读/写 Read/write
0x0109	Clock divider phase (local) 时钟分频器相位（本地）	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0109	Clock divider phase (local) 时钟分频器相位（本地）	[3:0]	时钟分频器相位偏移 Clock divider phase offset	0000 0001 0010 … 1110 1111	0 输入时钟周期延迟。 0 input clock cycle delay. ½输入时钟周期延迟（反向时钟）。 ½ input clock cycle delay (inverted clock). 1 输入时钟周期延迟。 1 input clock cycle delay. … 7 输入时钟周期延迟。 7 input clock cycle delay. 7½输入时钟周期延迟。 7½ input clock cycle delay.	0x0	R/W 读/写
0x010A	Clock divider and SYSREF control 时钟分频器和 SYSREF 控制	7	时钟分频器自动相位调整启用 Clock divider auto phase adjust enable	0 1	时钟分频器自动相位调整启用。启用时，寄存器 0x0129，位[3:0]包含了在捕获 SYSREF 的分频器的相位。实际分频器相位偏移=寄存器 0x0129，位[3:0]+寄存器 0x0109，位[3:0]。 Clock divider auto phase adjust enable. When enabled, register 0x0129, bits [3:0] contain the phase of the divider that captured SYSREF. Actual divider phase offset = register 0x0129, bits [3:0] + register 0x0109, bits [3:0]. SYSREF 没有改变时钟分频器相位（禁用）。 SYSREF does not change the clock divider phase (disabled). SYSREF 自动调节时钟分频器相位（启用）。 SYSREF automatically adjusts the clock divider phase (enabled).	0x0	读/写 Read/write
0x010A						0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	Clock divider and SYSREF control 时钟分频器和 SYSREF 控制	[6:4]	保留 Reserved		保留。 Reserved.		读 Read
0x010A	Clock divider and SYSREF control 时钟分频器和 SYSREF 控制	[3:2]	时钟分频器负偏斜窗口 Clock divider negative skew window	00 01 10 11	时钟分频器负偏斜窗口（测量½输入设备时钟）。忽略入设备时钟之前的½个时钟周期数，通过该时钟，忽略捕获的 SYSREF。仅用在寄存器 0x010A，位 7=1 时。寄存器 0x010A，位[3:2]+寄存器 0x010A，位[1:0]<寄存器 0x0108，位[2:0]。倾斜允许 SYSREF 采样中存在一些不确定性，而不干扰输入时钟分频器。此外在改变控制字段时，必须禁用 SYSREF（寄存器 0x0120，位[2:1]=0x0）。 Clock divider negative skew window (measured in ½ input device clocks). The number of ½ clock cycles before the device clock through which a captured SYSREF is ignored. Used only when register 0x010A, bit 7 = 1. Register 0x010A, bits [3:2] + register 0x010A, bits [1:0] < register 0x0108, bits [2:0]. Skew allows some uncertainty in SYSREF sampling without disturbing the input clock divider. Also, SYSREF must be disabled (register 0x0120, bits [2:1] = 0x0) when changing control fields. 无负倾斜；必须准确捕获 SYSREF。 No negative skew; SYSREF must be captured accurately. ½设备时钟负倾斜。 ½ device clock negative skew. 1 设备时钟负倾斜。 1 device clock negative skew. 1½设备时钟负倾斜。 1½ device clock negative skew.	0x0	读/写 Read/write
0x010A	Clock divider and SYSREF control 时钟分频器和 SYSREF 控制	[1:0]	时钟分频器正偏斜窗口 Clock divider positive skew window	00 01 10 11	时钟分频器正偏斜窗口（测量½输入设备时钟）。通过该时钟，忽略捕获的 SYSREF。仅用在寄存器 0x010A，位 7=1 时。寄存器 0x010A，位[3:2]+寄存器 0x010A，位[1:0]<寄存器 0x0108，位[2:0]。倾斜允许 SYSREF 采样中存在一些不确定性，而不干扰输入时钟分频器。此外在改变控制字段时，必须禁用 SYSREF（寄存器 0x0120，位[2:1]=0x0）。 Clock divider positive skew window (measured in ½ input device clocks). The clock through which a captured SYSREF is ignored. Used only when register 0x010A, bit 7 = 1. Register 0x010A, bits [3:2] + register 0x010A, bits [1:0] < register 0x0108, bits [2:0]. Skew allows some uncertainty in SYSREF sampling without disturbing the input clock divider. Also, SYSREF must be disabled (register 0x0120, bits [2:1] = 0x0) when changing control fields. 无负倾斜；必须准确捕获 SYSREF。 No negative skew; SYSREF must be captured accurately. ½设备时钟正倾斜。 ½ device clock positive skew. 1 设备时钟正倾斜。	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					1 device clock positive skew. 1½设备时钟正倾斜。 1½ device clock positive skew.		
0x010B	Clock divider SYSREF status 时钟分频器 SYSREF 状态	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x010B	Clock divider SYSREF status 时钟分频器 SYSREF 状态	[3:0]	时钟分频器 SYSREF 偏移 Clock divider SYSREF offset		时钟分频器相位状态（以½个时钟周期测量）。相位偏移应用于捕获 SYSREF 信号的内部时钟分频器相位。仅当寄存器 0x010A，位 7=1 时使用。当寄存器 0x010A，位 7=1，寄存器 0x010A，位[3:2]=0 十进制，寄存器 0x10A，位[1:0]=0 十进制，时钟分频器 SYSREF 偏移量=寄存器 0x0129，位[3:0]。 Clock divider phase status (measured in ½ clock cycles). The phase offset applied to the internal clock divider phase that captured the SYSREF signal. Used only when register 0x010A, bit 7 = 1. When register 0x010A, bit 7 = 1, register 0x010A, bits [3:2] = 0 decimal, register 0x10A, bits [1:0] = 0 decimal, clock divider SYSREF offset = register 0x0129, bits [3:0].	0x0	读 Read
0x0110	Clock delay control 时钟延迟控制	[7:3]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0110	Clock delay control 时钟延迟控制	[2:0]	时钟延迟模式选择 Clock delay mode select	000 010 011 100 110	时钟延迟模式选择。与寄存器 0x0111 和寄存器 0x0112 一起使用。 Clock delay mode select. Used together with register 0x0111 and register 0x0112. 无时钟延迟。 No clock delay. 精细延迟：只有 0 到 16 个延迟步骤有效。 Fine delay: only 0 to 16 delay steps are valid. 精细延迟（最低抖动）：只有 0 到 16 个延迟步骤有效。 Fine delay (lowest jitter): only 0 to 16 delay steps are valid. 精细延迟：所有 192 个延迟步骤均有效。 Fine delay: all 192 delay steps are valid. 精细延迟启用（所有 192 个延迟步骤均有效）。超精细延迟启用（所有 128 个延迟步骤均有效）。 Fine delay enabled (all 192 delay steps valid). Ultra-fine delay enabled (all 128 delay steps valid). 不推荐用户开启此功能，存在数据错误风险，如确实有使用此功能的必要，请咨询深信科技。 Not recommended for users to enable this feature; there is a data error risk. If use of this feature is truly necessary, please consult Shenzhen Shenxin Technology Co., Ltd.	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0111	Clock super fine delay (local) 时钟超精细延迟（本地）	[7:0]	时钟超精细延迟调整 Clock ultra-fine delay adjust	0x00 … 0x08 … 0x80	时钟超精细延迟调整。这是一个无符号控件，以 20fs 的步长调整超精细采样时钟延迟，当 0x111 值大于等于 0x65 时，步长为 0.25ps。这些位仅在寄存器 0x0110，位 [2:0]=010 或 110 时使用。 Clock ultra-fine delay adjust. This is an unsigned control that adjusts the ultra-fine sampling clock delay in 20fs steps; when the 0x111 value is greater than or equal to 0x65, the step size is 0.25ps. These bits are only used when register 0x0110, bits [2:0] = 010 or 110. 0 延迟步骤。 0 delay steps. … 8 延迟步骤。 8 delay steps. … 128 延迟步骤。 128 delay steps.	0x0	读/写 Read/write
0x0112	Clock fine delay (local) 时钟精细延迟（本地）	[7:0]	设置时钟精细延迟 Set clock fine delay	0x00 … 0x08 … 0xC0	时钟精细延迟调整。这是一个无符号控件，用于以 1.725ps 的步长调整精细采样时钟偏移。这些位仅在寄存器 0x0110、位[2:0]=0x2、0x3、0x4 或 0x6 时使用。最小值=0。最大值=192。增量＝1。单位为延迟步长。 Clock fine delay adjust. This is an unsigned control for adjusting the fine sampling clock offset in 1.725ps steps. These bits are only used when register 0x0110, bits [2:0] = 0x2, 0x3, 0x4, or 0x6. Minimum = 0. Maximum = 192. Increment = 1. Units are delay steps. 0 延迟步骤。 0 delay steps. … 8 延迟步骤。 8 delay steps. … 192 延迟步骤。 192 delay steps.	0xC0	读/写 Read/write
0x011B	Clock status 时钟状态	[7:1]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x011B	Clock status 时钟状态	0	输入时钟检测 Input clock detect	0 1	时钟检测状态。 Clock detect status. 未检测输入时钟。 No input clock detected. 检测/锁定输入时钟。 Input clock detected/locked.	0x0	读 Read
0x011C	Clock Duty Cycle Stabilizer 1 control (local) 时钟占空比稳定器	[7:2]	保留 Reserved		保留。 Reserved.	0x24	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	1 控制（本地）						
0x011C	Clock Duty Cycle Stabilizer 1 control (local) 时钟占空比稳定器 1 控制（本地）	1	DCS1 启用 DCS1 enable	0 1	时钟 DCS1 启用。 Clock DCS1 enable. DCS1 旁路。 DCS1 bypassed. DCS1 启用。 DCS1 enabled.	0x1	读/写 Read/write
0x011C	Clock Duty Cycle Stabilizer 1 control (local) 时钟占空比稳定器 1 控制（本地）	0	DCS1 通电 DCS1 power-on	0 1	时钟 DCS1 通电。 Clock DCS1 power-on. DCS1 掉电。 DCS1 powered down. DCS1 通电。 DCS1 powered on.	0x1	读/写 Read/write
0x011E	Clock Duty Cycle Stabilizer 2 control 时钟占空比稳定器 2 控制	[7:2]	保留 Reserved		保留。 Reserved.	0x24	读/写 Read/write
0x011E	Clock Duty Cycle Stabilizer 2 control 时钟占空比稳定器 2 控制	1	DCS2 启用 DCS2 enable	0 1	时钟 DCS2 启用。 Clock DCS2 enable. DCS2 旁路。 DCS2 bypassed. DCS2 启用。 DCS2 enabled.	0x1	读/写 Read/write
0x011E	Clock Duty Cycle Stabilizer 2 control 时钟占空比稳定器 2 控制	0	DCS2 通电 DCS2 power-on	0 1	时钟 DCS2 通电。 Clock DCS2 power-on. DCS2 掉电。 DCS2 powered down. DCS2 通电。 DCS2 powered on.	0x1	读/写 Read/write
0x0120	SYSREF Control 1 SYSREF 控制 1	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0120		6				0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	SYSREF Control 1 SYSREF 控制 1		SYSREF± 标志复位 SYSREF± flag reset	0 1	正常标志操作。 Normal flag operation. SYSREF± 标志保持复位（设置/保持错误标志清除）。 SYSREF± flags held in reset (setup/hold error flags cleared).		读/写 Read/ write
0x0120	SYSREF Control 1 SYSREF 控制 1	5	保留 Reserved		保留。 Reserved.	0x0	读/写 Read/ write
0x0120	SYSREF Control 1 SYSREF 控制 1	4	SYSREF± 转换选择 SYSREF± transition select	0 1	在使用所选 CLK± 沿，SYSREF± 在低到高转换时有效。更改此设置时，必须禁用 SYSREF± 模式选择。 With the selected CLK± edge, SYSREF± is valid on a low-to-high transition. The SYSREF± mode select must be disabled when changing this setting. 在使用所选 CLK± 沿，SYSREF± 在低到高转换时有效。更改此设置时，必须禁用 SYSREF± 模式选择。 With the selected CLK± edge, SYSREF± is valid on a low-to-high transition. The SYSREF± mode select must be disabled when changing this setting.	0x0	读/写 Read/ write
0x0120	SYSREF Control 1 SYSREF 控制 1	3	CLK± 边缘选择 CLK± edge select	00 01	在 CLK± 输入的上升沿捕获。 Capture on the rising edge of the CLK± input. 在 CLK± 输入的下降沿捕获。 Capture on the falling edge of the CLK± input.	0x0	读/写 Read/ write
0x0120	SYSREF Control 1 SYSREF 控制 1	[2:1]	SYSREF± 模式选择 SYSREF± mode select	0 1 10	禁用。 Disabled. 持续。 Continuous. N-shot.	0x0	读/写 Read/ write
0x0120	SYSREF Control 1 SYSREF 控制 1	0	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0121	SYSREF Control 2 SYSREF 控制 2	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0121	SYSREF Control 2 SYSREF 控制 2	[3:0]	SYSREF N-shot 忽略计数器选择 SYSREF N-shot ignore counter select	0000 0001 0010 0011 … 1110 1111	仅下一个 SYSREF± 转换（不要忽略）。 Only the next SYSREF± transition (do not ignore). 忽略第一个 SYSREF± 转换。 Ignore the first SYSREF± transition. 忽略前两个 SYSREF± 转换。 Ignore the first two SYSREF± transitions. 忽略前三个 SYSREF± 转换。 Ignore the first three SYSREF± transitions. … 忽略前 14 个 SYSREF± 转换。 Ignore the first 14 SYSREF± transitions. 忽略前 15 个 SYSREF± 转换。 Ignore the first 15 SYSREF± transitions.	0x0	读/写 Read/ write
0x0122						0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	SYSREF Control 3 SYSREF 控制 3	[7:4]	保留 Reserved		保留。 Reserved.		读 Read
0x0122	SYSREF Control 3 SYSREF 控制 3	[3:2]	SYSREF 窗口负 SYSREF window negative	00 01 10 11	负倾斜窗口（以样本时钟测量）。采样时钟之前忽略捕获的 SYSREF 转换的时钟周期数。 Negative skew window (measured in sample clocks). Number of clock cycles before the sample clock for which captured SYSREF transitions are ignored. 无负偏斜；必须准确捕获 SYSREF。 No negative skew; SYSREF must be captured accurately. 负偏斜的一个样本时钟。 One sample clock of negative skew. 负偏斜的两个样本时钟。 Two sample clocks of negative skew. 负偏斜的三个样本时钟。 Three sample clocks of negative skew.	0x0	读/写 Read/write
0x0122	SYSREF Control 3 SYSREF 控制 3	[1:0]	SYSREF 窗口正 SYSREF window positive		正倾斜窗口（以样本时钟测量）。采样时钟之前忽略捕获的 SYSREF 转换的时钟周期数。 Positive skew window (measured in sample clocks). Number of clock cycles before the sample clock for which captured SYSREF transitions are ignored. 无正偏斜；必须准确捕获 SYSREF。 No positive skew; SYSREF must be captured accurately. 正偏斜的一个样本时钟。 One sample clock of positive skew. 正偏斜的两个样本时钟。 Two sample clocks of positive skew. 正偏斜的三个样本时钟。 Three sample clocks of positive skew.	0x0	读/写 Read/write
0x0123	SYSREF Control 4 SYSREF 控制 4	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0123	SYSREF Control 4 SYSREF 控制 4	[6:0]	SYSREF± 时间戳延迟，位[6:0] SYSREF± timestamp delay, bits [6:0]	0 1 … 1111111	SYSREF± 时间戳延迟（以转换器采样时钟周期为单位）。 SYSREF± timestamp delay (in converter sample clock cycles). 0 采样时钟周期延迟。 0 sample clock cycle delay. 1 采样时钟周期延迟。 1 sample clock cycle delay. … 127 采样时钟周期延迟。 127 sample clock cycle delay.	0x00	读/写 Read/write
0x0128	SYSREF Status 1 SYSREF 状态 1	[7:4]	SYSREF± 保持状态 SYSREF± hold status		SYSREF± 保持状态。 SYSREF± hold status.	0x0	读 Read
0x0128	SYSREF Status 1 SYSREF 状态 1	[3:0]	SYSREF± 设置状态 SYSREF±		SYSREF± 设置状态。 SYSREF± setup status.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			setup status				
0x0129	SYSREF Status 2 SYSREF 状态 2	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0129	SYSREF Status 2 SYSREF 状态 2	[3:0]	捕获 SYSREF 时的时钟分频器相位 Clock divider phase when SYSREF captured	0000 0001 0010 0011 0100 … 1111	SYSREF 分频器相位。表示捕获 SYSREF 时分频器的相位。 SYSREF divider phase. Indicates the phase of the divider when SYSREF was captured. 同相位。 Same phase. SYSREF±比时钟延迟½个周期。 SYSREF± delayed ½ cycle relative to clock. SYSREF±比时钟延迟 1 个周期。 SYSREF± delayed 1 cycle relative to clock. SYSREF±延迟了 1½个输入时钟周期。 SYSREF± delayed 1½ input clock cycles. SYSREF±延迟了 2 个输入时钟周期。 SYSREF± delayed 2 input clock cycles. … SYSREF±延迟了 7½个输入时钟周期。 SYSREF± delayed 7½ input clock cycles.	0x0	读 Read
0x012A	SYSREF Status 3 SYSREF 状态 3	[7:0]	SYSREF 计数器，当捕获 SYSREF 时，位[7:0]递增 SYSREF counter, bits [7:0] increment when SYSREF captured		SYSREF 计数。每当捕获 SYSREF±事件时，运行计数器递增。通过寄存器 0x0120，位 6 复位。在 255 处环绕。仅当寄存器 0x0120，位[2:1]设置为禁用时，才读取这些位。 SYSREF count. The running counter increments whenever a SYSREF± event is captured. Reset via register 0x0120, bit 6. Wraps at 255. Read these bits only when register 0x0120, bits [2:1] are set to disabled.	0x0	读 Read
0x01FF	Chip sync mode 芯片同步模式	[7:1]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x01FF	Chip sync mode 芯片同步模式	0	同步模式 Sync mode	0 1	JESD204B 同步模式。SYSREF 信号重置所有内部时钟分频器。按照 JESD204B 标准的规定，在同步多个芯片时使用此模式。如果任何分频器的相位必须改变，JESD204B 链路将断开。 JESD204B sync mode. The SYSREF signal resets all internal clock dividers. Use this mode when synchronizing multiple chips per the JESD204B standard. If the phase of any divider must change, the JESD204B link is disconnected. 时间戳模式。SYSREF 信号不重置内部时钟分频器。在此模式下，JESD204B 链路和信号监视器不受 SYSREF 信号的影响。SYSREF 信号在样本通过 ADC 时为样本加上时间戳，并用作 JESD204B 输出字中的控制位。	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					Timestamp mode. The SYSREF signal does not reset the internal clock dividers. In this mode, the JESD204B link and signal monitors are not affected by the SYSREF signal. The SYSREF signal timestamps samples as they pass through the ADC and is used as a control bit in the JESD204B output words.		

芯片工作模式控制寄存器 / Chip Operating Mode Control Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0200	Chip mode 芯片模式	[7:6]	保留 Reserved		保留。 Reserved.	0x0	读/写 Read/ write
0x0200	Chip mode 芯片模式	5	芯片 Q 忽略 Chip Q ignore	0 1	芯片实数（I）是唯一的选择。 Chip real (I) is the only choice. 选择实数（I）和复数（Q）。 Select real (I) and complex (Q). 仅选择实数（I），忽略复数（Q）。 Select real (I) only, ignore complex (Q).	0x0	读/写 Read/ write
0x0200	Chip mode 芯片模式	4	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0200	Chip mode 芯片模式	[3:0]	芯片应用模式 Chip application mode	0000 0001 0010 0011	全带宽模式（默认）。 Full-bandwidth mode (default). 一个 DDC 模式（仅 DDC0）。 One-DDC mode (DDC0 only). 两个 DDC 模式（仅 DDC0 和 DDC1）。 Two-DDC mode (DDC0 and DDC1 only). 四个 DDC 模式（DDC0，DDC1，DDC2 和 DDC3）。 Four-DDC mode (DDC0, DDC1, DDC2, and DDC3).	0x0	读/写 Read/ write
0x0201	Chip decimation ratio 芯片抽取比	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0201	Chip decimation ratio 芯片抽取比	[3:0]	芯片抽取率 Chip decimation rate	0000 0001 1000 0010 0101 1001 0011 0110 1010 0111 0100	芯片抽取率。 Chip decimation rate. 全采样率（1 倍抽取，DDCs 旁路）。 Full sample rate (1× decimation, DDCs bypassed). 2 倍抽取。 2× decimation. 3 倍抽取。 3× decimation. 4 倍抽取。	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
				1101 1011 1110 1111 1100	4× decimation. 5 倍抽取。 5× decimation. 6 倍抽取。 6× decimation. 8 倍抽取。 8× decimation. 10 倍抽取。 10× decimation. 12 倍抽取。 12× decimation. 15 倍抽取。 15× decimation. 16 倍抽取。 16× decimation. 20 倍抽取。 20× decimation. 24 倍抽取。 24× decimation. 30 倍抽取。 30× decimation. 40 倍抽取。 40× decimation. 48 倍抽取。 48× decimation.		

快速检测和信号检测控制寄存器 / Fast Detect and Signal Monitor Control Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0245	Fast detect control (local) 快速检测控制（本地）	[7:4]	保留 Reserved		保留。 Reserved.	0x0	R 读
0x0245	Fast detect control (local) 快速检测控制（本地）	3	Force FD_A/FD_B 引脚 Force FD_A/FD_B pins	0 1	快速检测引脚的正常操作。 Normal operation of the fast detect pins. 在快速检测引脚上强制一个值（见位 2）。 Force a value on the fast detect pins (see bit 2).	0x0	读/写 Read/write
0x0245	Fast detect control (local) 快速检测控制（本地）	2	FD_A/FD_B 引脚的强制值 Forced value of FD_A/FD_B pins		当强制输出时，该通道的快速检测输出引脚设置为该值。 When forcing the output, the fast detect output pin of this channel is set to this value.	0x0	读/写 Read/write
0x0245	Fast detect control	1	保留 Reserved		保留。 Reserved.	0x0	R 读

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	(local) 快速检测控制（本地）						
0x0245	Fast detect control (local) 快速检测控制（本地）	0	启用快速检测输出 Enable fast detect output	0 1	禁用快速检测。 Fast detect disabled. 启用快速检测。 Fast detect enabled.	0x0	读/写 Read/ write
0x0247	Fast detect up LSB (local) 快速检测上限 LSB（本地）	[7:0]	快速检测阈值上限 Fast detect upper threshold		快速检测阈值上限的 LSBs。与精细 ADC 幅度相比较，该寄存器包含可编程 13 位阈值上限的 8 个 LSBs。 LSBs of the fast detect upper threshold. Compared with the fine ADC amplitude; this register contains the 8 LSBs of the programmable 13-bit upper threshold.	0x0	读/写 Read/ write
0x0248	Fast detect up MSB (local) 快速检测上限 MSB（本地）	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0248	Fast detect up MSB (local) 快速检测上限 MSB（本地）	[4:0]	快速检测阈值上限 Fast detect upper threshold		快速检测阈值上限的 MSBs。与精细 ADC 幅度相比较，该寄存器包含可编程 13 位阈值上限的 5 个 MSBs。 MSBs of the fast detect upper threshold. Compared with the fine ADC amplitude; this register contains the 5 MSBs of the programmable 13-bit upper threshold.	0x0	读/写 Read/ write
0x0249	Fast detect low LSB (local) 快速检测下限 LSB（本地）	[7:0]	快速检测阈值下限 Fast detect lower threshold		快速检测阈值下限的 LSBs。与精细 ADC 幅度相比较，该寄存器包含可编程 13 位阈值下限的 8 个 LSBs。 LSBs of the fast detect lower threshold. Compared with the fine ADC amplitude; this register contains the 8 LSBs of the programmable 13-bit lower threshold.	0x0	读/写 Read/ write
0x024A	Fast detect low MSB (local) 快速检测下限 MSB（本地）	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x024A	Fast detect low MSB (local) 快速检测下限 MSB（本地）	[4:0]	快速检测阈值下限 Fast detect lower threshold		快速检测低阈值的 MSBs。与精细 ADC 幅度相比较，该寄存器包含可编程 13 位阈值下限的 5 个 MSBs。 MSBs of the fast detect lower threshold. Compared with the fine ADC amplitude; this register contains the 5 MSBs of the programmable 13-bit lower threshold.	0x0	读/写 Read/ write
0x024B	Fast detect	[7:0]	快速检测停留时间		快速检测驻留时间计数器目标的 LSBs。这是 16 位计数器的负载值，用于确定在 FD_x 引脚复位为 0 之前 ADC 数据	0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	dwell LSB (local) 快速检测驻留时间 LSB（本地）		Fast detect dwell time		必须保持在阈值下限以下多长时间。 LSBs of the fast detect dwell time counter target. This is the load value of the 16-bit counter used to determine how long ADC data must remain below the lower threshold before the FD_x pin is reset to 0.		读/写 Read/ write
0x024C	Fast detect dwell MSB (local) 快速检测驻留时间 MSB（本地）	[7:0]	快速检测停留时间 Fast detect dwell time		快速检测驻留时间计数器目标的 LSBs。这是 16 位计数器的负载值，用于确定在 FD_x 引脚复位为 0 之前 ADC 数据必须保持在阈值下限以下多长时间。 LSBs of the fast detect dwell time counter target. This is the load value of the 16-bit counter used to determine how long ADC data must remain below the lower threshold before the FD_x pin is reset to 0.	0x0	读/写 Read/ write
0x026F	Signal monitor sync control 信号监视器同步控制	[7:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x026F	Signal monitor sync control 信号监视器同步控制	1	信号监视器下一个同步模式 Signal monitor next sync mode	0 1	信号监视器下一个同步模式。 Signal monitor next sync mode. 持续模式。 Continuous mode. 下一个同步模式。只有 SYSREF±引脚的下一个有效沿用于同步信号监视器块。忽略 SYSREF±引脚的后续沿。当捕获下一个 SYSREF 时，清除寄存器 0x026F，位 0。SYSREF±引脚必须是信号监测器周期的整数倍，才能使该功能在持续模式下正常工作。 Next sync mode. Only the next valid edge of the SYSREF± pin is used to synchronize the signal monitor block. Subsequent edges of the SYSREF± pin are ignored. When the next SYSREF is captured, clear register 0x026F, bit 0. The SYSREF± pin must be an integer multiple of the signal monitor period for this feature to work properly in continuous mode.	0x0	读/写 Read/ write
0x026F	Signal monitor sync control 信号监视器同步控制	0	信号监视器同步模式 Signal monitor sync mode	0 1	启用信号监视器同步模式。 Enable signal monitor sync mode. 禁用同步。 Disable sync. 如果寄存器 0x026F，位 1=1，则只有 SYSREF±引脚的下一个有效沿用于同步信号监控器块。忽略 SYSREF±引脚的后续沿。当接收到下一个 SYSREF 信号时，清除该位。必须启用 SYSREF±输入引脚，以同步信号监视器块。 If register 0x026F, bit 1 = 1, then only the next valid edge of the SYSREF± pin is used to synchronize the signal monitor block. Subsequent edges of the SYSREF± pin are ignored. This bit is cleared when the next SYSREF signal is received. The SYSREF± input pin must be enabled to synchronize the signal monitor block.	0x0	读/写 Read/ write
0x0270	Signal monitor	[7:0]	保留 Reserved		保留。 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	control (local) 信号监视器控制（本地）						
0x0270	Signal monitor control (local) 信号监视器控制（本地）	1	峰值检测器 Peak detector	0 1	禁用峰值检测器。 Peak detector disabled. 启用峰值检测器。 Peak detector enabled.	0x0	读/写 Read/write
0x0270	Signal monitor control (local) 信号监视器控制（本地）	0	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0271	Signal Monitor Period 0 (local) 信号监视器周期 0（本地）	[7:0]	信号监视器周期 [7:0] Signal monitor period [7:0]		24 位值的位[7:0]，设置信号监视器在其上执行操作的输出时钟周期数。仅支持偶数值。 Bits [7:0] of the 24-bit value, setting the number of output clock cycles over which the signal monitor performs operations. Only even values are supported.	0x0	读/写 Read/write
0x0272	Signal Monitor Period 1 (local) 信号监视器周期 1（本地）	[7:0]	信号监视器周期 [15:8] Signal monitor period [15:8]		24 位值的位[15:8]，设置信号监视器在其上执行操作的输出时钟周期数。仅支持偶数值。 Bits [15:8] of the 24-bit value, setting the number of output clock cycles over which the signal monitor performs operations. Only even values are supported.	0x0	读/写 Read/write
0x0273	Signal Monitor Period 2 (local) 信号监视器周期 2（本地）	[7:0]	信号监视器周期 [23:16] Signal monitor period [23:16]		24 位值的位[23:16]，设置信号监视器在其上执行操作的输出时钟周期数。仅支持偶数值。 Bits [23:16] of the 24-bit value, setting the number of output clock cycles over which the signal monitor performs operations. Only even values are supported.	0x0	读 Read
0x0274	Signal monitor status control (local) 信号监视器状态控制（本地）	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0274	Signal monitor status	4	结果更新 Result update	1	更新信号监视器状态寄存器，寄存器 0x0275 至寄存器 0x0278。自清零。	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	control (local) 信号监视器状态控制（本地）				Update the signal monitor status registers, registers 0x0275 through 0x0278. Self-clearing.		
0x0274	Signal monitor status control (local) 信号监视器状态控制（本地）	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0274	Signal monitor status control (local) 信号监视器状态控制（本地）	[2:0]	结果选择 Result select	001	峰值检测器置于状态回读信号上。 Peak detector placed on the status readback signal.	0x0	读/写 Read/write
0x0275	Signal Monitor Status 0 (local) 信号监视器状态 0（本地）	[7:0]	信号监视器结果 [7:0] Signal monitor result [7:0]		信号监视器状态结果。该 20 位值包含由信号监视器块计算的状态结果。 Signal monitor status result. This 20-bit value contains the status result computed by the signal monitor block.	0x0	读 Read
0x0276	Signal Monitor Status 1 (local) 信号监视器状态 1（本地）	[7:0]	信号监视器结果 [15:8] Signal monitor result [15:8]		信号监视器状态结果。 Signal monitor status result.	0x0	读 Read
0x0277	Signal Monitor Status 2 (local) 信号监视器状态 2（本地）	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0277	Signal Monitor Status 2 (local) 信号监视器状态 2（本地）	[3:0]	信号监视器结果 [19:16] Signal monitor result [19:16]		信号监视器状态结果。 Signal monitor status result.	0x0	读 Read
0x0278	Signal monitor	[7:0]	周期计算结果[7:0]		信号监视器帧计数器状态位。每当周期计数器到期时，帧计数器递增。	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	status frame counter (local) 信号监视器状态帧计数器（本地）		Period computation result [7:0]		Signal monitor frame counter status bits. The frame counter increments whenever the period counter expires.		
0x0279	Signal monitor serial frame counter (local) 信号监视器串行帧计数器（本地）	[7:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0279	Signal monitor serial frame counter (local) 信号监视器串行帧计数器（本地）	[1:0]	通过 JESD204B 启用信号监视器输出 Enable signal monitor output via JESD204B	00 01	禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/write
0x027A	SPORT over JESD204B input selection (local) SPORT over JESD204B 输入选择（本地）	[7:6]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x027A	SPORT over JESD204B input selection (local) SPORT over JESD204B 输入选择（本地）	1	通过 JESD204B 输入选择输出 Output via JESD204B input select	0 1	信号监视器串行成帧器输入选择。当每单个比特为 1 时，在帧内发送相应的信号统计信息。 Signal monitor serial framer input select. When each individual bit is 1, the corresponding signal statistics are sent within the frame. 禁用。 Disabled. 插入串行帧中的峰值检测器数据。 Peak detector data inserted into the serial frame.	0x1	读/写 Read/write
0x027A	SPORT over JESD204B input	0	保留 Reserved		保留。 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	selection (local) SPORT over JESD204B 输入选择（本地）						

DDC 功能寄存器（见数字下变频器（DDC）部分）/ DDC Function Registers (see Digital Downconverter (DDC) section)

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0300	DDC SYNC control DDC 同步控制	7	DDC FTW/POW/MAW 更新模式 DDC FTW/POW/MAW update mode	0 1	选择 DDC FTW/POW/MAW/MBW 更新模式。 Select DDC FTW/POW/MAW/MBW update mode. 即时/持续更新。 Immediate/continuous update. FTW/POW/MAW/MBW 值立即更新。 FTW/POW/MAW/MBW values updated immediately. 设置芯片传输位（寄存器 0x000F，位 0）时，同步更新 FTW/POW/MAW/MBW 值。 When the chip transfer bit (register 0x000F, bit 0) is set, synchronously update the FTW/POW/MAW/MBW values.	0x0	读/写 Read/write
0x0300	DDC SYNC control DDC 同步控制	[6:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0300	DDC SYNC control DDC 同步控制	4	DDC NCO 软复位 DDC NCO soft reset	0 1	此位可用于同步 DDC 块内的所有 NCO。 This bit can be used to synchronize all NCOs within the DDC block. 正常操作。 Normal operation. DDC 保持复位。 DDC held in reset.	0x0	读/写 Read/write
0x0300	DDC SYNC control DDC 同步控制	[3:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0300	DDC SYNC control DDC 同步控制	1	DDC 下一次同步 DDC next sync	0 1	连续模式。SYSREF 频率必须是 NCO 频率的整数倍，此功能才能在持续模式下正确运行。 Continuous mode. The SYSREF frequency must be an integer multiple of the NCO frequency for this feature to operate correctly in continuous mode. 只有 SYSREF±引脚的下一个有效沿用于同步 DDC 块中的 NCO。忽略 SYSREF±引脚的后续沿。当找到下一个 SYSREF 信号时，清除 DDC 同步模式位（寄存器 0x0300，位 0）。 Only the next valid edge of the SYSREF± pin is used	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					to synchronize the NCOs in the DDC block. Subsequent edges of the SYSREF± pin are ignored. When the next SYSREF signal is found, the DDC sync mode bit (register 0x0300, bit 0) is cleared.		
0x0300	DDC SYNC control DDC 同步控制	0	DDC 同步模式 DDC sync mode		必须启用 SYSREF±输入引脚以同步 DDCs。 The SYSREF± input pin must be enabled to synchronize the DDCs. 禁用同步。 Disable sync. 启用同步。如果寄存器 0x0300，位 1=1，则只有 SYSREF±引脚的下一个有效沿用于同步 DDC 块中的 NCO。忽略 SYSREF±引脚的后续沿。当接收到下一个 SYSREF 信号时，清除该位。 Enable sync. If register 0x0300, bit 1 = 1, then only the next valid edge of the SYSREF± pin is used to synchronize the NCOs in the DDC block. Subsequent edges of the SYSREF± pin are ignored. This bit is cleared when the next SYSREF signal is received.	0x0	读/写 Read/ write
0x0310	DDC0 control DDC0 控制	7	DDC0 混频器选择 DDC0 mixer select	0 1	实数混频器（I 和 Q 输入必须来自同一实数通道）。 Real mixer (I and Q inputs must come from the same real channel). 复数混频器（I 和 Q 必须来自独立的、实的和虚的正交 ADC 接收信道；模拟解调器）。 Complex mixer (I and Q must come from independent real and imaginary quadrature ADC receive channels; analog demodulator).	0x0	读/写 Read/ write
0x0310	DDC0 control DDC0 控制	6	DDC0 增益选择 DDC0 gain select	0 1	增益可用于补偿与将输入信号向下混频到基带并滤除其负分量相关的 6dB 损耗。 Gain can be used to compensate for the 6dB loss associated with downmixing the input signal to baseband and filtering its negative component. 0dB 增益。 0dB gain. 6dB 增益（乘以 2）。 6dB gain (multiply by 2).	0x0	读/写 Read/ write
0x0310	DDC0 control DDC0 控制	[5:4]	DDC0 中频（IF）模式 DDC0 IF mode	00 01 10 11	可变中频模式。 Variable IF mode. 0Hz 中频模式。 0Hz IF mode. fS/4 Hz 中频模式。 fS/4 Hz IF mode. 测试模式。 Test mode.	0x0	读/写 Read/ write
0x0310	DDC0 control DDC0 控制	3	DDC0 复数到实数启用 DDC0 complex-to-real enable	0 1	复数（I 和 Q）输出包含有效数据。 Complex (I and Q) output contains valid data. 仅实数（I）输出。复数到实数启用。使用额外的 fS 混合转换为实数。 Real (I) output only. Complex-to-real enabled. Use additional fS mixing to convert to real.	0x0	读/写 Read/ write
0x0310	DDC0 control	[2:0]	DDC0 抽取率选择 DDC0	000 001 010	DDC0 滤波器选择。 DDC0 filter select. HB1+HB2 滤波器选择：2 倍抽取（启用复数到实数），	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC0 控制		decimation rate select	011 100 101 110 111	或按 4 倍抽取（禁用复数到实数）。 HB1+HB2 filter select: 2× decimation (complex-to-real enabled), or 4× decimation (complex-to-real disabled). HB1+HB2+HB3 滤波器选择：4 倍抽取（启用复数到实数），或按 8 倍抽取（禁用复数到实数）。 HB1+HB2+HB3 filter select: 4× decimation (complex-to-real enabled), or 8× decimation (complex-to-real disabled). HB1+HB2+HB3+HB4 滤波器选择：8 倍抽取（启用复数到实数），或按 16 倍抽取（禁用复数到实数）。 HB1+HB2+HB3+HB4 filter select: 8× decimation (complex-to-real enabled), or 16× decimation (complex-to-real disabled). 滤波器选择：1 倍抽取（启用复数到实数），或按 2 倍抽取（禁用复数到实数）。 Filter select: 1× decimation (complex-to-real enabled), or 2× decimation (complex-to-real disabled). HB1+TB2 滤波器选择：3 倍抽取（启用复数到实数），或按 6 倍抽取（禁用复数到实数）。 HB1+TB2 filter select: 3× decimation (complex-to-real enabled), or 6× decimation (complex-to-real disabled). HB1+HB2+TB2 滤波器选择：6 倍抽取（启用复数到实数），或按 12 倍抽取（禁用复数到实数）。 HB1+HB2+TB2 filter select: 6× decimation (complex-to-real enabled), or 12× decimation (complex-to-real disabled). HB1+HB2+HB3+TB2 滤波器选择：12 倍抽取（启用复数到实数），或按 24 倍抽取（禁用复数到实数）。 HB1+HB2+HB3+TB2 filter select: 12× decimation (complex-to-real enabled), or 24× decimation (complex-to-real disabled). 由寄存器 0x0311, 位[7:4]确定抽取。 Decimation determined by register 0x0311, bits [7:4].		
0x0311	DDC0 input select DDC0 输入选择	[7:4]	（DDC0 抽取率选择）(DDC0 decimation rate select)	0000 0010 0011 0100 0111 1000 1001	只有当寄存器 0x0310，位[2:0]=3'b111 时，它才有效。 Valid only when register 0x0310, bits [2:0] = 3'b111. TB2+HB4+HB3+HB2+HB1 滤波器选择：48 倍抽取（复数到实数禁用），或 24 倍抽取（复数到实数启用）。 TB2+HB4+HB3+HB2+HB1 filter select: 48× decimation (complex-to-real disabled), or 24× decimation (complex-to-real enabled). FB2+HB1 滤波器选择：10 倍抽取（复数到实数禁用），或 5 倍抽取（复数到实数启用）。 FB2+HB1 filter select: 10× decimation (complex-to-real disabled), or 5× decimation (complex-to-real enabled). FB2+HB2+HB1 滤波器选择：20 倍抽取（复数到实数禁用），或 10 倍抽取（复数到实数启用）。 FB2+HB2+HB1 filter select: 20× decimation (complex-to-real disabled), or 10× decimation (complex-to-real enabled). FB2+HB3+HB2+HB1 滤波器选择：40 倍抽取（复数到实数禁用），或 20 倍抽取（复数到实数启用）。	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					FB2+HB3+HB2+HB1 filter select: 40× decimation (complex-to-real disabled), or 20× decimation (complex-to-real enabled). TB1 滤波器选择：3 倍抽取（不支持 1.5 倍抽取）。 TB1 filter select: 3× decimation (1.5× decimation not supported). FB2+TB1 滤波器选择：15 倍抽取（不支持 7.5 倍抽取）。 FB2+TB1 filter select: 15× decimation (7.5× decimation not supported). HB2+FB2+TB1 滤波器选择：30 倍抽取（不支持 15 倍抽取）。 HB2+FB2+TB1 filter select: 30× decimation (15× decimation not supported).		
0x0311	DDC0 input select DDC0 输入选择	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0311	DDC0 input select DDC0 输入选择	2	DDC0 Q 输入选择 DDC0 Q input select	0 1	通道 A。 Channel A. 通道 B。 Channel B.	0x0	读/写 Read/write
0x0311	DDC0 input select DDC0 输入选择	1	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0311	DDC0 input select DDC0 输入选择	0	DDC0 I 输入选择 DDC0 I input select	0 1	通道 A。 Channel A. 通道 B。 Channel B.	0x0	读/写 Read/write
0x0314	DDC0 NCO control DDC0 NCO 控制	[7:4]	DDC0 NCO 信道选择模式 DDC0 NCO channel select mode	0000 0001 0010 0011 0100 0101 0110 1000 1001 1010 1011	对于沿控制，内部计数器在寄存器 0x0314 之后换行，达到位[3:0]值。 For edge control, the internal counter wraps after register 0x0314, reaching the bit [3:0] value. 使用寄存器 0x0314，位[3:0]。 Use register 0x0314, bits [3:0]. GPIO_B0,GPIO_A0。 GPIO_B1,GPIO_A1。 GPIO_A1,GPIO_A0。 GPIO_B1,GPIO_B0。 GPIO_B1,GPIO_A1,GPIO_B0,GPIO_A0。 GPIO_B1,GPIO_B0,GPIO_A1,GPIO_A0。 在 GPIO_A0 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_A0 pin. 在 GPIO_A1 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_A1 pin.	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					在 GPIO_B0 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_B0 pin. 在 GPIO_B1 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_B1 pin.		
0x0314	DDC0 NCO control DDC0 NCO 控制	[3:0]	DDC0 NCO 寄存器映射通道选择 DDC0 NCO register-mapped channel select	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	NCO 通道选择寄存器映射控制。 NCO channel select register map control. 选择 NCO 通道 0。 Select NCO channel 0. 选择 NCO 通道 1。 Select NCO channel 1. 选择 NCO 通道 2。 Select NCO channel 2. 选择 NCO 通道 3。 Select NCO channel 3. 选择 NCO 通道 4。 Select NCO channel 4. 选择 NCO 通道 5。 Select NCO channel 5. 选择 NCO 通道 6。 Select NCO channel 6. 选择 NCO 通道 7。 Select NCO channel 7. 选择 NCO 通道 8。 Select NCO channel 8. 选择 NCO 通道 9。 Select NCO channel 9. 选择 NCO 通道 10。 Select NCO channel 10. 选择 NCO 通道 11。 Select NCO channel 11. 选择 NCO 通道 12。 Select NCO channel 12. 选择 NCO 通道 13。 Select NCO channel 13. 选择 NCO 通道 14。 Select NCO channel 14. 选择 NCO 通道 15。 Select NCO channel 15.	0x0	读/写 Read/write
0x0315	DDC0 phase control DDC0 相位控制	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0315	DDC0 phase control DDC0 相位控制	[3:0]	DDC0 相位更新索引 DDC0 phase update index		索引其相位和偏移已更新的 NCO 通道。更新方法基于 DDC 相位更新模式，该模式可以是连续的或需要芯片传输。 Index the NCO channel whose phase and offset have been updated. The update method is based on the DDC phase update mode, which can be continuous or require chip transfer. 更新 NCO 通道 0。	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					Update NCO channel 0. 更新 NCO 通道 1。 Update NCO channel 1. 更新 NCO 通道 2。 Update NCO channel 2. 更新 NCO 通道 3。 Update NCO channel 3.		
0x0316	DDC0 Phase Increment 0 DDC0 相位增量 0	[7:0]	DDC0 相位增量[7:0] DDC0 phase increment [7:0]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/write
0x0317	DDC0 Phase Increment 1 DDC0 相位增量 1	[7:0]	DDC0 相位增量[15:8] DDC0 phase increment [15:8]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/write
0x0318	DDC0 Phase Increment 2 DDC0 相位增量 2	[7:0]	DDC0 相位增量[23:16] DDC0 phase increment [23:16]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/write
0x0319	DDC0 Phase Increment 3 DDC0 相位增量 3	[7:0]	DDC0 相位增量[31:24] DDC0 phase increment [31:24]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/write
0x031A	DDC0 Phase Increment 4 DDC0 相位增量 4	[7:0]	DDC0 相位增量[39:32] DDC0 phase increment [39:32]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/write
0x031B	DDC0 Phase Increment 5 DDC0 相位增量 5	[7:0]	DDC0 相位增量[47:40] DDC0 phase increment [47:40]		FTW。NCO 的两个互补相位增量值。复数混合频率=（DDC 相位增量×fS）/248。 FTW. Two complementary phase increment values of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/write
0x031D	DDC0 Phase Offset 0 DDC0 相位偏移 0	[7:0]	DDC0 相位偏移[7:0] DDC0 phase offset [7:0]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/write
0x031E	DDC0 Phase Offset 1	[7:0]	DDC0 相位偏移[15:8]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC0 相位偏移 1		DDC0 phase offset [15:8]				
0x031F	DDC0 Phase Offset 2 DDC0 相位偏移 2	[7:0]	DDC0 相位偏移[23:16] DDC0 phase offset [23:16]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0320	DDC0 Phase Offset 3 DDC0 相位偏移 3	[7:0]	DDC0 相位偏移[31:24] DDC0 phase offset [31:24]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0321	DDC0 Phase Offset 4 DDC0 相位偏移 4	[7:0]	DDC0 相位偏移[39:32] DDC0 phase offset [39:32]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0322	DDC0 Phase Offset 5 DDC0 相位偏移 5	[7:0]	DDC0 相位偏移[47:40] DDC0 phase offset [47:40]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0327	DDC0 test enable DDC0 测试使能	[7:3]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0327	DDC0 test enable DDC0 测试使能	2	DDC0 Q 输出测试模式启用 DDC0 Q output test mode enable		Q 样本始终使用测试模式 B 块。使用通道相关寄存器 0x0550，位[3:0]，选择测试模式。 Q samples always use test mode block B. Use the channel-associated register 0x0550, bits [3:0], to select the test mode. 测试模式禁用。 Test mode disabled. 测试模式启用。 Test mode enabled.	0x0	读/写 Read/ write
0x0327	DDC0 test enable DDC0 测试使能	1	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0327	DDC0 test enable DDC0 测试使能	0	DDC0 I 输出测试模式启用 DDC0 I output test mode enable		I 样本始终使用测试模式 A 块。使用通道相关寄存器 0x0550，位[3:0]，选择测试模式。 I samples always use test mode block A. Use the channel-associated register 0x0550, bits [3:0], to select the test mode. 测试模式禁用。 Test mode disabled. 测试模式启用。 Test mode enabled.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0330	DDC1 control DDC1 控制	7	DDC1 混频器选择 DDC1 mixer select	0 1	实数混频器（I 和 Q 输入必须来自同一实数通道）。 Real mixer (I and Q inputs must come from the same real channel). 复数混频器（I 和 Q 必须来自独立的、实的和虚的正交 ADC 接收信道；模拟解调器）。 Complex mixer (I and Q must come from independent real and imaginary quadrature ADC receive channels; analog demodulator).	0x0	读/写 Read/ write
0x0330	DDC1 control DDC1 控制	6	DDC1 增益选择 DDC1 gain select	0 1	增益可用于补偿与将输入信号向下混频到基带并滤除其负分量相关的 6dB 损耗。 Gain can be used to compensate for the 6dB loss associated with downmixing the input signal to baseband and filtering its negative component. 0dB 增益。 0dB gain. 6dB 增益（乘以 2）。 6dB gain (multiply by 2).	0x0	读/写 Read/ write
0x0330	DDC1 control DDC1 控制	[5:4]	DDC1 中频模式 DDC1 IF mode	00 01 10 11	可变中频模式。 Variable IF mode. 0Hz 中频模式。 0Hz IF mode. fs/4 中频模式。 fS/4 IF mode. 测试模式。 Test mode.	0x0	读/写 Read/ write
0x0330	DDC1 control DDC1 控制	3	DDC1 复数到实数启用 DDC1 complex-to-real enable		复数（I 和 Q）输出包含有效数据。 Complex (I and Q) output contains valid data. 仅实数（I）输出。复数到实数启用。使用额外的 fS 混合转换为实数。 Real (I) output only. Complex-to-real enabled. Use additional fS mixing to convert to real.	0x0	读/写 Read/ write
0x0330	DDC1 control DDC1 控制	[2:0]	DDC1 抽取率选择 DDC1 decimation rate select	000 001 010 011 100 101 110 111	抽取滤波器选择。 Decimation filter select. HB1+HB2 滤波器选择：2 倍抽取（复数到实数启用），或 4 倍抽取（复数到实数禁用）。 HB1+HB2 filter select: 2× decimation (complex-to-real enabled), or 4× decimation (complex-to-real disabled). HB1+HB2+HB3 滤波器选择：4 倍抽取（复数到实数启用），或 8 倍抽取（复数到实数禁用）。 HB1+HB2+HB3 filter select: 4× decimation (complex-to-real enabled), or 8× decimation (complex-to-real disabled). HB1+HB2+HB3+HB4 滤波器选择：8 倍抽取（复数到实数启用），或 16 倍抽取（复数到实数禁用）。 HB1+HB2+HB3+HB4 filter select: 8× decimation (complex-to-real enabled), or 16× decimation (complex-to-real disabled). HB1 滤波器选择：1 倍抽取（复数到实数启用），或 2 倍抽取（复数到实数禁用）。 HB1 filter select: 1× decimation (complex-to-real enabled), or 2× decimation (complex-to-real disabled).	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					HB1+TB2 滤波器选择：3 倍抽取（复数到实数启用），或 6 倍抽取（复数到实数禁用）。 HB1+TB2 filter select: 3× decimation (complex-to-real enabled), or 6× decimation (complex-to-real disabled). HB1+HB2+TB2 滤波器选择：6 倍抽取（复数到实数启用），或 24 倍抽取（复数到实数禁用）。 HB1+HB2+TB2 filter select: 6× decimation (complex-to-real enabled), or 24× decimation (complex-to-real disabled). HB1+HB2+HB3+TB2 滤波器选择：12 倍抽取（复数到实数启用），或 24 倍抽取（复数到实数禁用）。 HB1+HB2+HB3+TB2 filter select: 12× decimation (complex-to-real enabled), or 24× decimation (complex-to-real disabled). 由寄存器 0x0331,位[7:4]确定的抽取。 Decimation determined by register 0x0331, bits [7:4].		
0x0331	DDC1 input select DDC1 输入选择	[7:4]	DDC1 抽取率选择 DDC1 decimation rate select	0000 0010 0011 0100 0111 1000 1001	只有当寄存器 0x0310，位[2:0]=3'b111 时，它才有效。 Valid only when register 0x0310, bits [2:0] = 3'b111. TB2+HB4+HB3+HB2+HB1 滤波器选择：48 倍抽取（复数到实数禁用），或 24 倍抽取（复数到实数启用）。 TB2+HB4+HB3+HB2+HB1 filter select: 48× decimation (complex-to-real disabled), or 24× decimation (complex-to-real enabled). FB2+HB1 滤波器选择：10 倍抽取（复数到实数禁用），或 5 倍抽取（复数到实数启用）。 FB2+HB1 filter select: 10× decimation (complex-to-real disabled), or 5× decimation (complex-to-real enabled). FB2+HB2+HB1 滤波器选择：20 倍抽取（复数到实数禁用），或 10 倍抽取（复数到实数启用）。 FB2+HB2+HB1 filter select: 20× decimation (complex-to-real disabled), or 10× decimation (complex-to-real enabled). FB2+HB3+HB2+HB1 滤波器选择：40 倍抽取（复数到实数禁用），或 20 倍抽取（复数到实数启用）。 FB2+HB3+HB2+HB1 filter select: 40× decimation (complex-to-real disabled), or 20× decimation (complex-to-real enabled). TB1 滤波器选择：3 倍抽取（不支持 1.5 倍抽取）。 TB1 filter select: 3× decimation (1.5× decimation not supported). FB2+TB1 滤波器选择：15 倍抽取（不支持 7.5 倍抽取）。 FB2+TB1 filter select: 15× decimation (7.5× decimation not supported). HB2+FB2+TB1 滤波器选择：30 倍抽取（不支持 15 倍抽取）。	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					HB2+FB2+TB1 filter select: 30× decimation (15× decimation not supported).		
0x0331	DDC1 input select DDC1 输入选择	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0331	DDC1 input select DDC1 输入选择	2	DDC1 Q 输入选择 DDC1 Q input select	0 1	通道 A。 Channel A. 通道 B。 Channel B.	0x1	读/写 Read/ write
0x0331	DDC1 input select DDC1 输入选择	1	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0331	DDC1 input select DDC1 输入选择	0	DDC1 I 输入选择 DDC1 I input select	0 1	通道 A。 Channel A. 通道 B。 Channel B.	0x1	读/写 Read/ write
0x0334	DDC1 NCO control DDC1 NCO 控制	[7:4]	DDC1 NCO 通道选择模式 DDC1 NCO channel select mode	0000 0001 0010 0011 0100 0101 0110 1000 1001 1010 1011	对于沿控制，当达到寄存器 0x0334，位[3:0]的值时，内部计数器换行。 For edge control, when the value of register 0x0334, bits [3:0] is reached, the internal counter wraps. 使用寄存器 0x0334，位[3:0]。 Use register 0x0334, bits [3:0]. PIO_BO,GPIO_AO. GPIO_B1,GPIO_A1. GPIO_A1,GPIO_A0. GPIO_B1,GPIO_B0. GPIO_B1,GPIO_A1,GPIO_B0,GPIO_A0. GPIO_B1,GPIO_B0,GPIO_A1,GPIO_A0. 在 GPIO_A0 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_A0 pin. 在 GPIO_A1 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_A1 pin. 在 GPIO_B0 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_B0 pin. 在 GPIO_B1 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_B1 pin.	0x0	读/写 Read/ write
0x0334	DDC1 NCO control DDC1 NCO 控制	[3:0]	DDC1 NCO 寄存器映射通道选择 DDC1 NCO register-	0000 0001 0010 0011 0100	NCO 通道选择寄存器映射控制。 NCO channel select register map control. 选择 NCO 通道 0。 Select NCO channel 0. 选择 NCO 通道 1。	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			mapped channel select	0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	Select NCO channel 1. 选择 NCO 通道 2。 Select NCO channel 2. 选择 NCO 通道 3。 Select NCO channel 3. 选择 NCO 通道 4。 Select NCO channel 4. 选择 NCO 通道 5。 Select NCO channel 5. 选择 NCO 通道 6。 Select NCO channel 6. 选择 NCO 通道 7。 Select NCO channel 7. 选择 NCO 通道 8。 Select NCO channel 8. 选择 NCO 通道 9。 Select NCO channel 9. 选择 NCO 通道 10。 Select NCO channel 10. 选择 NCO 通道 11。 Select NCO channel 11. 选择 NCO 通道 12。 Select NCO channel 12. 选择 NCO 通道 13。 Select NCO channel 13. 选择 NCO 通道 14。 Select NCO channel 14. 选择 NCO 通道 15。 Select NCO channel 15.		
0x0335	DDC1 phase control DDC1 相位控制	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0335	DDC1 phase control DDC1 相位控制	[3:0]	DDC1 相位更新索引 DDC1 phase update index	0000 0001 0010 0011	索引其相位和偏移已更新的 NCO 通道。更新方法基于 DDC 相位更新模式，该模式可以是连续的或需要芯片传输。 Index the NCO channel whose phase and offset have been updated. The update method is based on the DDC phase update mode, which can be continuous or require chip transfer. 更新 NCO 通道 0。 Update NCO channel 0. 更新 NCO 通道 1。 Update NCO channel 1. 更新 NCO 通道 2。 Update NCO channel 2. 更新 NCO 通道 3。 Update NCO channel 3.	0x0	读/写 Read/write
0x0336	DDC1 Phase Increment 0	[7:0]	DDC1 相位增量[7:0] DDC1 phase		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC1 相位增量 0		increment [7:0]		of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.		
0x0337	DDC1 Phase Increment 1 DDC1 相位增量 1	[7:0]	DDC1 相位增量[15:8] DDC1 phase increment [15:8]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x0338	DDC1 Phase Increment 2 DDC1 相位增量 2	[7:0]	DDC1 相位增量[23:16] DDC1 phase increment [23:16]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x0339	DDC1 Phase Increment 3 DDC1 相位增量 3	[7:0]	DDC1 相位增量[31:24] DDC1 phase increment [31:24]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x033A	DDC1 Phase Increment 4 DDC1 相位增量 4	[7:0]	DDC1 相位增量[39:32] DDC1 phase increment [39:32]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x033B	DDC1 Phase Increment 5 DDC1 相位增量 5	[7:0]	DDC1 相位增量[47:40] DDC1 phase increment [47:40]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x033D	DDC1 Phase Offset 0 DDC1 相位偏移 0	[7:0]	DDC1 相位偏移[7:0] DDC1 phase offset [7:0]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x033E	DDC1 Phase Offset 1 DDC1 相位偏移 1	[7:0]	DDC1 相位偏移[15:8] DDC1 phase offset [15:8]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x033F	DDC1 Phase Offset 2 DDC1 相位偏移 2	[7:0]	DDC1 相位偏移[23:16] DDC1 phase offset [23:16]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0340	DDC1 Phase Offset 3	[7:0]	DDC1 相位偏移[31:24]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC1 相位偏移 3		DDC1 phase offset [31:24]				
0x0341	DDC1 Phase Offset 4 DDC1 相位偏移 4	[7:0]	DDC1 相位偏移[39:32] DDC1 phase offset [39:32]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0342	DDC1 Phase Offset 5 DDC1 相位偏移 5	[7:0]	DDC1 相位偏移[47:40] DDC1 phase offset [47:40]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0347	DDC1 test enable DDC1 测试使能	[7:3]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0347	DDC1 test enable DDC1 测试使能	2	DDC1 Q 输出测试模式启用 DDC1 Q output test mode enable	0 1	Q 样本始终使用测试模式 B 块。使用信道相关寄存器 0x0550，位[3:0]时选择测试模式。 Q samples always use test mode block B. Select the test mode using channel-associated register 0x0550, bits [3:0]. 测试模式禁用。 Test mode disabled. 测试模式启用。 Test mode enabled.	0x0	读/写 Read/ write
0x0347	DDC1 test enable DDC1 测试使能	1	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0347	DDC1 test enable DDC1 测试使能	0	DDC1 I 输出测试模式启用 DDC1 I output test mode enable	0 1	I 样本始终使用测试模式 A 块。使用信道相关寄存器 0x0550，位[3:0]时选择测试模式。 I samples always use test mode block A. Select the test mode using channel-associated register 0x0550, bits [3:0]. 测试模式禁用。 Test mode disabled. 测试模式启用。 Test mode enabled.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0350	DDC2 control DDC2 控制	7	DDC2 混频器选择 DDC2 mixer select	0 1	实数混频器（I 和 Q 输入必须来自同一实数通道）。 Real mixer (I and Q inputs must come from the same real channel). 复数混频器（I 和 Q 必须来自独立的、实的和虚的正交 ADC 接收信道；模拟解调器）。 Complex mixer (I and Q must come from independent real and imaginary quadrature ADC receive channels; analog demodulator).	0x0	读/写 Read/ write
0x0350		6				0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC2 control DDC2 控制		DDC2 增益选择 DDC2 gain select	0 1	增益可用于补偿与将输入信号向下混频到基带并滤除其负分量相关的 6dB 损耗。 Gain can be used to compensate for the 6dB loss associated with downmixing the input signal to baseband and filtering its negative component. dB 增益。 dB gain. dB 增益（乘以 2）。 dB gain (multiply by 2).		读/写 Read/write
0x0350	DDC2 control DDC2 控制	[5:4]	DDC2 中频模式 DDC2 IF mode	00 01 10 11	可变中频模式。 Variable IF mode. 0Hz 中频模式。 0Hz IF mode. fS/4 Hz 中频模式。 fS/4 Hz IF mode. 测试模式。 Test mode.	0x0	读/写 Read/write
0x0350	DDC2 control DDC2 控制	3	DDC2 复数到实数启用 DDC2 complex-to-real enable	0 1	复数（I 和 Q）输出包含有效数据。 Complex (I and Q) output contains valid data. 仅实数（I）输出。复杂到实际启用。使用额外的 fS 混合转换为实数。 Real (I) output only. Complex-to-real enabled [as printed in source]. Use additional fS mixing to convert to real.	0x0	读/写 Read/write
0x0350	DDC2 control DDC2 控制	[2:0]	DDC2 抽取率选择 DDC2 decimation rate select	000 001 010 011 100 101 110 111	抽取滤波器选择。 Decimation filter select. HB1+HB2 滤波器选择：2 倍抽取（复数到实数启用），或 4 倍抽取（复数到实数禁用）。 HB1+HB2 filter select: 2× decimation (complex-to-real enabled), or 4× decimation (complex-to-real disabled). HB1+HB2+HB3 滤波器选择：4 倍抽取（复数到实数启用），或 8 倍抽取（复数到实数禁用）。 HB1+HB2+HB3 filter select: 4× decimation (complex-to-real enabled), or 8× decimation (complex-to-real disabled). HB1+HB2+HB3+HB4 滤波器选择：8 倍抽取（复数到实数启用），或 16 倍抽取（复数到实数禁用）。 HB1+HB2+HB3+HB4 filter select: 8× decimation (complex-to-real enabled), or 16× decimation (complex-to-real disabled). HB1 滤波器选择：1 倍抽取（复数到实数启用），或 2 倍抽取（复数到实数禁用）。 HB1 filter select: 1× decimation (complex-to-real enabled), or 2× decimation (complex-to-real disabled). HB1+TB2 滤波器选择：3 倍抽取（复数到实数启用），或 6 倍抽取（复数到实数禁用）。 HB1+TB2 filter select: 3× decimation (complex-to-real enabled), or 6× decimation (complex-to-real disabled). HB1+HB2+TB2 滤波器选择：6 倍抽取（复数到实数启用），或 12 倍抽取（复数到实数禁用）。	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					HB1+HB2+TB2 filter select: 6× decimation (complex-to-real enabled), or 12× decimation (complex-to-real disabled). HB1+HB2+HB3+TB2 滤波器选择：12 倍抽取（复数到实数启用），或 24 倍抽取（复数到实数禁用）。 HB1+HB2+HB3+TB2 filter select: 12× decimation (complex-to-real enabled), or 24× decimation (complex-to-real disabled). 由寄存器 0x0351,位[7:4]确定的抽取。 Decimation determined by register 0x0351, bits [7:4].		
0x0351	DDC2 input select DDC2 输入选择	[7:4]	DDC2 抽取率选择 DDC2 decimation rate select	000 0010 011 100	只有当寄存器 0x0310，位[2:0]=3'b111 时，它才有效。 Valid only when register 0x0310, bits [2:0] = 3'b111. TB2+HB4+HB3+HB2+HB1 滤波器选择：48 倍抽取（复数到实数禁用），或 24 倍抽取（复数到实数启用）。 TB2+HB4+HB3+HB2+HB1 filter select: 48× decimation (complex-to-real disabled), or 24× decimation (complex-to-real enabled). FB2+HB1 滤波器选择：10 倍抽取（复数到实数禁用），或 5 倍抽取（复数到实数启用）。 FB2+HB1 filter select: 10× decimation (complex-to-real disabled), or 5× decimation (complex-to-real enabled). FB2+HB2+HB1 滤波器选择：20 倍抽取（复数到实数禁用），或 10 倍抽取（复数到实数启用）。 FB2+HB2+HB1 filter select: 20× decimation (complex-to-real disabled), or 10× decimation (complex-to-real enabled). FB2+HB3+HB2+HB1 滤波器选择：40 倍抽取（复数到实数禁用），或 20 倍抽取（复数到实数启用）。 FB2+HB3+HB2+HB1 filter select: 40× decimation (complex-to-real disabled), or 20× decimation (complex-to-real enabled).	0x0	读/写 Read/write
0x0351	DDC2 input select DDC2 输入选择	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0351	DDC2 input select DDC2 输入选择	2	DDC2 Q 输入选择 DDC2 Q input select	0 1	通道 A。 Channel A. 通道 B。 Channel B.	0x0	读/写 Read/write
0x0351	DDC2 input select DDC2 输入选择	1	保留 Reserved		保留。 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0351	DDC2 input select DDC2 输入选择	0	DDC2 I 输入选择 DDC2 I input select	0 1	通道 A。 Channel A. 通道 B。 Channel B.	0x0	读/写 Read/ write
0x0354	DDC2 NCO control DDC2 NCO 控制	[7:4]	DDC2 NCO 信道选择模式 DDC2 NCO channel select mode	0000 0001 0010 0011 0100 0101 0110 1000 1001 1010 1011	对于沿控制，当达到寄存器 0x0354，位[3:0]的值时，内部计数器换行。 For edge control, when the value of register 0x0354, bits [3:0] is reached, the internal counter wraps. 使用寄存器 0x0354，位[3:0]。 Use register 0x0354, bits [3:0]. PIO_BO,GPIO_AO. GPIO_B1,GPIO_A1. GPIO_A1,GPIO_A0. GPIO_B1,GPIO_B0. GPIO_B1,GPIO_A1,GPIO_B0,GPIO_A0. GPIO_B1,GPIO_B0,GPIO_A1,GPIO_A0. 在 GPIO_A0 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_A0 pin. 在 GPIO_A1 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_A1 pin. 在 GPIO_B0 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_B0 pin. 在 GPIO_B1 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_B1 pin.	0x0	读/写 Read/ write
0x0354	DDC2 NCO control DDC2 NCO 控制	[3:0]	DDC2 NCO 寄存器映射通道选择 DDC2 NCO register-mapped channel select	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	NCO 通道选择寄存器映射控制。 NCO channel select register map control. 选择 NCO 通道 0。 Select NCO channel 0. 选择 NCO 通道 1。 Select NCO channel 1. 选择 NCO 通道 2。 Select NCO channel 2. 选择 NCO 通道 3。 Select NCO channel 3. 选择 NCO 通道 4。 Select NCO channel 4. 选择 NCO 通道 5。 Select NCO channel 5. 选择 NCO 通道 6。 Select NCO channel 6. 选择 NCO 通道 7。 Select NCO channel 7. 选择 NCO 通道 8。 Select NCO channel 8. 选择 NCO 通道 9。 Select NCO channel 9. 选择 NCO 通道 10。 Select NCO channel 10.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					选择 NCO 通道 11。 Select NCO channel 11. 选择 NCO 通道 12。 Select NCO channel 12. 选择 NCO 通道 13。 Select NCO channel 13. 选择 NCO 通道 14。 Select NCO channel 14. 选择 NCO 通道 15。 Select NCO channel 15.		
0x0355	DDC2 phase control DDC2 相位控制	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0355	DDC2 phase control DDC2 相位控制	[3:0]	DDC2 相位更新索引 DDC2 phase update index	0000 0001 0010 0011	索引其相位和偏移已更新的 NCO 信道。更新方法基于 DDC 相位更新模式，可以是连续的或需要芯片转移。 Index the NCO channel whose phase and offset have been updated. The update method is based on the DDC phase update mode, which can be continuous or require chip transfer. 更新 NCO 通道 0。 Update NCO channel 0. 更新 NCO 通道 1。 Update NCO channel 1. 更新 NCO 通道 2。 Update NCO channel 2. 更新 NCO 通道 3。 Update NCO channel 3.	0x0	读/写 Read/ write
0x0356	DDC2 Phase Increment 0 DDC2 相位增量 0	[7:0]	DDC2 相位增量[7:0] DDC2 phase increment [7:0]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x0357	DDC2 Phase Increment 1 DDC2 相位增量 1	[7:0]	DDC2 相位增量[15:8] DDC2 phase increment [15:8]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x0358	DDC2 Phase Increment 2 DDC2 相位增量 2	[7:0]	DDC2 相位增量[23:16] DDC2 phase increment [23:16]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x0359	DDC2 Phase Increment 3	[7:0]	DDC2 相位增量[31:24] DDC2 phase		FTW。NCO 的二进制补码形式的相位增量值。复混合频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC2 相位增量 3		increment [31:24]		of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.		
0x035A	DDC2 Phase Increment 4 DDC2 相位增量 4	[7:0]	DDC2 相位增量[39:32] DDC2 phase increment [39:32]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x035B	DDC2 Phase Increment 5 DDC2 相位增量 5	[7:0]	DDC2 相位增量[47:40] DDC2 phase increment [47:40]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x035D	DDC2 Phase Offset 0 DDC2 相位偏移 0	[7:0]	DDC2 相位偏移[7:0] DDC2 phase offset [7:0]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x035E	DDC2 Phase Offset 1 DDC2 相位偏移 1	[7:0]	DDC2 相位偏移[15:8] DDC2 phase offset [15:8]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x035F	DDC2 Phase Offset 2 DDC2 相位偏移 2	[7:0]	DDC2 相位偏移[23:16] DDC2 phase offset [23:16]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0360	DDC2 Phase Offset 3 DDC2 相位偏移 3	[7:0]	DDC2 相位偏移[31:24] DDC2 phase offset [31:24]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0361	DDC2 Phase Offset 4 DDC2 相位偏移 4	[7:0]	DDC2 相位偏移[39:32] DDC2 phase offset [39:32]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0362	DDC2 Phase Offset 5 DDC2 相位偏移 5	[7:0]	DDC2 相位偏移[47:40] DDC2 phase offset [47:40]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0367	DDC2 test enable DDC2 测试使能	[7:3]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0367	DDC2 test enable	2	DDC2 Q 输出测试模式启用		Q 样本始终使用测试模式 B 块。使用信道相关寄存器 0x0550，位[3:0]选择测试模式。	0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC2 测试使能		DDC2 Q output test mode enable	0 1	Q samples always use test mode block B. Select the test mode using channel-associated register 0x0550, bits [3:0]. 测试模式禁用。 Test mode disabled. 测试模式启用。 Test mode enabled.		读/写 Read/ write
0x0367	DDC2 test enable DDC2 测试使能	1	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0367	DDC2 test enable DDC2 测试使能	0	DDC2 I 输出测试模式启用 DDC2 I output test mode enable	0 1	I 样本始终使用测试模式 A 块。使用信道相关寄存器 0x0550，位[3:0]选择测试模式。 I samples always use test mode block A. Select the test mode using channel-associated register 0x0550, bits [3:0]. 测试模式禁用。 Test mode disabled. 测试模式启用。 Test mode enabled.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0370	DDC3 control DDC3 控制	7	DDC3 混频器选择 DDC3 mixer select	0 1	实数混频器（I 和 Q 输入必须来自同一实通道）。 Real mixer (I and Q inputs must come from the same real channel). 复数混频器（I 和 Q 必须来自独立的、实的和虚的正交 ADC 接收通道；模拟解调器）。 Complex mixer (I and Q must come from independent real and imaginary quadrature ADC receive channels; analog demodulator).	0x0	读/写 Read/ write
0x0370	DDC3 control DDC3 控制	6	DDC3 增益选择 DDC3 gain select	0 1	增益可用于补偿与将输入信号向下混频到基带并滤除其负分量相关的 6dB 损耗。 Gain can be used to compensate for the 6dB loss associated with downmixing the input signal to baseband and filtering its negative component. 0dB 增益。 0dB gain. 6dB 增益（乘以 2）。 6dB gain (multiply by 2).	0x0	读/写 Read/ write
0x0370	DDC3 control DDC3 控制	[5:4]	DDC3 中频模式 DDC3 IF mode	00 01 10 11	可变中频模式。 Variable IF mode. 0Hz 中频模式。 0Hz IF mode. fS/4 Hz 中频模式。 fS/4 Hz IF mode. 测试模式。 Test mode.	0x0	读/写 Read/ write
0x0370	DDC3 control	3	DDC3 复数到实数启用 DDC3	0 1	复数（I 和 Q）输出包含有效数据。 Complex (I and Q) output contains valid data. 仅实数（I）输出。复杂到实际启用。使用额外的 fS	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC3 控制		complex-to-real enable		混合转换为实数。 Real (I) output only. Complex-to-real enabled [as printed in source]. Use additional fS mixing to convert to real.		
0x0370	DDC3 control DDC3 控制	[2:0]	DDC3 抽取率选择 DDC3 decimation rate select	000 001 010 011 100 101 110 111	抽取滤波器选择。 Decimation filter select. HB1+HB2 滤波器选择：2 倍抽取（复数到实数启用），或 4 倍抽取（复数到实数禁用）。 HB1+HB2 filter select: 2× decimation (complex-to-real enabled), or 4× decimation (complex-to-real disabled). HB1+HB2+HB3 滤波器选择：4 倍抽取（复数到实数启用），或 8 倍抽取（复数到实数禁用）。 HB1+HB2+HB3 filter select: 4× decimation (complex-to-real enabled), or 8× decimation (complex-to-real disabled). HB1+HB2+HB3+HB4 滤波器选择：8 倍抽取（复数到实数启用），或 16 倍抽取（复数到实数禁用）。 HB1+HB2+HB3+HB4 filter select: 8× decimation (complex-to-real enabled), or 16× decimation (complex-to-real disabled). HB1 滤波器选择：1 倍抽取（复数到实数启用），或 2 倍抽取（复数到实数禁用）。 HB1 filter select: 1× decimation (complex-to-real enabled), or 2× decimation (complex-to-real disabled). HB1+TB2 滤波器选择：3 倍抽取（复数到实数启用），或 6 倍抽取（复数到实数禁用）。 HB1+TB2 filter select: 3× decimation (complex-to-real enabled), or 6× decimation (complex-to-real disabled). HB1+HB2+TB2 滤波器选择：6 倍抽取（复数到实数启用），或 12 倍抽取（复数到实数禁用）。 HB1+HB2+TB2 filter select: 6× decimation (complex-to-real enabled), or 12× decimation (complex-to-real disabled). HB1+HB2+HB3+TB2 滤波器选择：12 倍抽取（复数到实数启用），或 24 倍抽取（复数到实数禁用）。 HB1+HB2+HB3+TB2 filter select: 12× decimation (complex-to-real enabled), or 24× decimation (complex-to-real disabled). 由寄存器 0x0351,位[7:4]确定的抽取。 Decimation determined by register 0x0351, bits [7:4].	0x0	读/写 Read/write
0x0371	DDC3 input select DDC3 输入选择	[7:4]	DDC3 抽取率选择 DDC3 decimation rate select	000 010 011 100	只有当寄存器 0x0310，位[2:0]=3'b111 时，它才有效。 Valid only when register 0x0310, bits [2:0] = 3'b111. TB2+HB4+HB3+HB2+HB1 滤波器选择：48 倍抽取（复数到实数禁用），或 24 倍抽取（复数到实数启用）。 TB2+HB4+HB3+HB2+HB1 filter select: 48× decimation (complex-to-real disabled), or 24×	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					decimation (complex-to-real enabled). FB2+HB1 滤波器选择：10 倍抽取（复数到实数禁用），或 5 倍抽取（复数到实数启用）。 FB2+HB1 filter select: 10× decimation (complex-to-real disabled), or 5× decimation (complex-to-real enabled). FB2+HB2+HB1 滤波器选择：20 倍抽取（复数到实数禁用），或 10 倍抽取（复数到实数启用）。 FB2+HB2+HB1 filter select: 20× decimation (complex-to-real disabled), or 10× decimation (complex-to-real enabled). FB2+HB3+HB2+HB1 滤波器选择：40 倍抽取（复数到实数禁用），或 20 倍抽取（复数到实数启用）。 FB2+HB3+HB2+HB1 filter select: 40× decimation (complex-to-real disabled), or 20× decimation (complex-to-real enabled).		
0x0371	DDC3 input select DDC3 输入选择	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0371	DDC3 input select DDC3 输入选择	2	DDC3 Q 输入选择 DDC3 Q input select	0 1	通道 A。 Channel A. 通道 B。 Channel B.	0x0	读/写 Read/write
0x0371	DDC3 input select DDC3 输入选择	1	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0371	DDC3 input select DDC3 输入选择	0	DDC3 Q 输入选择 DDC3 Q input select	0 1	通道 A。 Channel A. 通道 B。 Channel B.	0x0	读/写 Read/write
0x0374	DDC3 NCO control DDC3 NCO 控制	[7:4]	DDC3 NCO 信道选择模式 DDC3 NCO channel select mode	0000 0001 0010 0011 0100 0101 0110 1000 1001 1010 1011	对于沿控制，当达到寄存器 0x0374，位[3:0]的值时，内部计数器换行。 For edge control, when the value of register 0x0374, bits [3:0] is reached, the internal counter wraps. 使用寄存器 0x0374，位[3:0]。 Use register 0x0374, bits [3:0]. PIO_BO,GPIO_AO. GPIO_B1,GPIO_A1. GPIO_A1,GPIO_A0. GPIO_B1,GPIO_B0. GPIO_B1,GPIO_A1,GPIO_B0,GPIO_A0. GPIO_B1,GPIO_B0,GPIO_A1,GPIO_A0. 在 GPIO_A0 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					edge of the GPIO_A0 pin. 在 GPIO_A1 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_A1 pin. 在 GPIO_B0 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_B0 pin. 在 GPIO_B1 引脚的上升沿递增内部计数器。 Increment the internal counter on the rising edge of the GPIO_B1 pin.		
0x0374	DDC3 NCO control DDC3 NCO 控制	[3:0]	DDC3 NCO 寄存器映射信道选择 DDC3 NCO register-mapped channel select	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	NCO 通道选择寄存器映射控制。 NCO channel select register map control. 选择 NCO 通道 0。 Select NCO channel 0. 选择 NCO 通道 1。 Select NCO channel 1. 选择 NCO 通道 2。 Select NCO channel 2. 选择 NCO 通道 3。 Select NCO channel 3. 选择 NCO 通道 4。 Select NCO channel 4. 选择 NCO 通道 5。 Select NCO channel 5. 选择 NCO 通道 6。 Select NCO channel 6. 选择 NCO 通道 7。 Select NCO channel 7. 选择 NCO 通道 8。 Select NCO channel 8. 选择 NCO 通道 9。 Select NCO channel 9. 选择 NCO 通道 10。 Select NCO channel 10. 选择 NCO 通道 11。 Select NCO channel 11. 选择 NCO 通道 12。 Select NCO channel 12. 选择 NCO 通道 13。 Select NCO channel 13. 选择 NCO 通道 14。 Select NCO channel 14. 选择 NCO 通道 15。 Select NCO channel 15.	0x0	读/写 Read/ write
0x0375	DDC3 phase control DDC3 相位控制	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0375	DDC3 phase control	[3:0]	DDC3 阶段更新索引 DDC3 stage update index	0000 0001 0010 0011	索引其相位和偏移已更新的 NCO 信道。更新方法基于 DDC 相位更新模式，可以是连续的或需要芯片转移。 Index the NCO channel whose phase and offset	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC3 相位控制				have been updated. The update method is based on the DDC phase update mode, which can be continuous or require chip transfer. 更新 NCO 通道 0。 Update NCO channel 0. 更新 NCO 通道 1。 Update NCO channel 1. 更新 NCO 通道 2。 Update NCO channel 2. 更新 NCO 通道 3。 Update NCO channel 3.		
0x0376	DDC3 Phase Increment 0 DDC3 相位增量 0	[7:0]	DDC3 相位增量[7:0] DDC3 phase increment [7:0]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x0377	DDC3 Phase Increment 1 DDC3 相位增量 1	[7:0]	DDC3 相位增量[15:8] DDC3 phase increment [15:8]		FTW。NCO 的两个互补相位增量值。复混合频率=（DDC 相位增量×fS）/248。 FTW. Two complementary phase increment values of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x0378	DDC3 Phase Increment 2 DDC3 相位增量 2	[7:0]	DDC3 相位增量[23:16] DDC3 phase increment [23:16]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x0379	DDC3 Phase Increment 3 DDC3 相位增量 3	[7:0]	DDC3 相位增量[31:24] DDC3 phase increment [31:24]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x037A	DDC3 Phase Increment 4 DDC3 相位增量 4	[7:0]	DDC3 相位增量[39:32] DDC3 phase increment [39:32]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x037B	DDC3 Phase Increment 5 DDC3 相位增量 5	[7:0]	DDC3 相位增量[47:40] DDC3 phase increment [47:40]		FTW。NCO 的二进制补码形式的相位增量值。复混频频率=（DDC 相位增量×fS）/248。 FTW. Two's complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/248.	0x0	读/写 Read/ write
0x037D	DDC3 Phase Offset 0	[7:0]	DDC3 相位偏移[7:0] DDC3 phase offset [7:0]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC3 相位偏移 0						
0x037E	DDC3 Phase Offset 1 DDC3 相位偏移 1	[7:0]	DDC3 相位偏移[15:8] DDC3 phase offset [15:8]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x037F	DDC3 Phase Offset 2 DDC3 相位偏移 2	[7:0]	DDC3 相位偏移[23:16] DDC3 phase offset [23:16]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0380	DDC3 Phase Offset 3 DDC3 相位偏移 3	[7:0]	DDC3 相位偏移[31:24] DDC3 phase offset [31:24]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0381	DDC3 Phase Offset 4 DDC3 相位偏移 4	[7:0]	DDC3 相位偏移[39:32] DDC3 phase offset [39:32]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0382	DDC3 Phase Offset 5 DDC3 相位偏移 5	[7:0]	DDC3 相位偏移[47:40] DDC3 phase offset [47:40]		NCO 的二进制补码形式的相位偏移量。 Two's complement phase offset of the NCO.	0x0	读/写 Read/ write
0x0387	DDC3 test enable DDC3 测试使能	[7:3]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0387	DDC3 test enable DDC3 测试使能	2	DDC3 Q 输出测试模式启用 DDC3 Q output test mode enable	0 1	Q 样本始终使用测试模式 B 块。使用信道相关寄存器 0x0550，位[3:0]选择测试模式。 Q samples always use test mode block B. Select the test mode using channel-associated register 0x0550, bits [3:0]. 测试模式禁用。 Test mode disabled. 测试模式启用。 Test mode enabled.	0x0	读/写 Read/ write
0x0387	DDC3 test enable DDC3 测试使能	1	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0387	DDC3 test enable DDC3 测试使能	0	DDC3 I 输出测试模式启用 DDC3 I output test mode enable	0 1	I 样本始终使用测试模式 A 块。使用信道相关寄存器 0x0550，位[3:0]选择测试模式。 I samples always use test mode block A. Select the test mode using channel-associated register 0x0550, bits [3:0]. 测试模式禁用。	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					Test mode disabled. 测试模式启用。 Test mode enabled.		

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0390	DDC0 Phase Increment Frac A0 DDC0 相位增量小数 A0	[7:0]	DDC0 相位增量系数 A[7:0] DDC0 phase increment coefficient A[7:0]		MAW 的分子校正项。 MAW numerator correction term.	0x0	读/写 Read/ write
0x0391	DDC0 Phase Increment Frac A1 DDC0 相位增量小数 A1	[7:0]	DDC0 相位增量系数 A[15:8] DDC0 phase increment coefficient A[15:8]		MAW 的分子校正项。 MAW numerator correction term.	0x0	读/写 Read/ write
0x0392	DDC0 Phase Increment Frac A2 DDC0 相位增量小数 A2	[7:0]	DDC0 相位增量系数 A[23:16] DDC0 phase increment coefficient A[23:16]		MAW 的分子校正项。 MAW numerator correction term.	0x0	读/写 Read/ write
0x0393	DDC0 Phase Increment Frac A3 DDC0 相位增量小数 A3	[7:0]	DDC0 相位增量系数 A[31:24] DDC0 phase increment coefficient A[31:24]		MAW 的分子校正项。 MAW numerator correction term.	0x0	读/写 Read/ write
0x0394	DDC0 Phase Increment Frac A4 DDC0 相位增量小数 A4	[7:0]	DDC0 相位增量系数 A[39:32] DDC0 phase increment coefficient A[39:32]		MAW 的分子校正项。 MAW numerator correction term.	0x0	读/写 Read/ write
0x0395	DDC0 Phase Increment Frac A5 DDC0 相位增量小数 A5	[7:0]	DDC0 相位增量系数 A[47:40] DDC0 phase increment coefficient A[47:40]		MAW 的分子校正项。 MAW numerator correction term.	0x0	读/写 Read/ write
0x0398	DDC0 Phase Increment Frac B0 DDC0 相位增量小数 B0	[7:0]	DDC0 相位增量系数 B[7:0] DDC0 phase increment coefficient B[7:0]		MBW 的分母校正项。 MBW denominator correction term.	0x0	读/写 Read/ write
0x0399	DDC0 Phase Increment Frac B1 DDC0 相位增量小数 B1	[7:0]	DDC0 相位增量系数 B[15:8] DDC0 phase increment coefficient B[15:8]		MBW 的分母校正项。 MBW denominator correction term.	0x0	读/写 Read/ write
0x039A	DDC0 Phase Increment Frac B2 DDC0 相位增量小数 B2	[7:0]	DDC0 相位增量系数 B[23:16] DDC0 phase increment coefficient B[23:16]		MBW 的分母校正项。 MBW denominator correction term.	0x0	读/写 Read/ write
0x039B	DDC0 Phase Increment Frac B3 DDC0 相位增量小数 B3	[7:0]	DDC0 相位增量系数 B[31:24] DDC0 phase increment coefficient B[31:24]		MBW 的分母校正项。 MBW denominator correction term.	0x0	读/写 Read/ write
0x039C	DDC0 Phase Increment Frac B4	[7:0]	DDC0 相位增量系数 B[39:32]			0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC0 相位增量小数 B4		DDC0 phase increment coefficient B[39:32]		MBW 的分母校正项。MBW denominator correction term.		读/写 Read/write
0x039D	DDC0 Phase Increment Frac B5 DDC0 相位增量小数 B5	[7:0]	DDC0 相位增量系数 B[47:40] DDC0 phase increment coefficient B[47:40]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03A0	DDC1 Phase Increment Frac A0 DDC1 相位增量小数 A0	[7:0]	DDC1 相位增量系数 A[7:0] DDC1 phase increment coefficient A[7:0]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03A1	DDC1 Phase Increment Frac A1 DDC1 相位增量小数 A1	[7:0]	DDC1 相位增量系数 A[15:8] DDC1 phase increment coefficient A[15:8]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03A2	DDC1 Phase Increment Frac A2 DDC1 相位增量小数 A2	[7:0]	DDC1 相位增量系数 A[23:16] DDC1 phase increment coefficient A[23:16]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03A3	DDC1 Phase Increment Frac A3 DDC1 相位增量小数 A3	[7:0]	DDC1 相位增量系数 A[31:24] DDC1 phase increment coefficient A[31:24]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03A4	DDC1 Phase Increment Frac A4 DDC1 相位增量小数 A4	[7:0]	DDC1 相位增量系数 A[39:32] DDC1 phase increment coefficient A[39:32]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03A5	DDC1 Phase Increment Frac A5 DDC1 相位增量小数 A5	[7:0]	DDC1 相位增量系数 A[47:40] DDC1 phase increment coefficient A[47:40]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03A8	DDC1 Phase Increment Frac B0 DDC1 相位增量小数 B0	[7:0]	DDC1 相位增量系数 B[7:0] DDC1 phase increment coefficient B[7:0]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03A9	DDC1 Phase Increment Frac B1 DDC1 相位增量小数 B1	[7:0]	DDC1 相位增量系数 B[15:8] DDC1 phase increment coefficient B[15:8]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03AA	DDC1 Phase Increment Frac B2 DDC1 相位增量小数 B2	[7:0]	DDC1 相位增量系数 B[23:16] DDC1 phase increment coefficient B[23:16]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03AB	DDC1 Phase Increment Frac B3 DDC1 相位增量小数 B3	[7:0]	DDC1 相位增量系数 B[31:24] DDC1 phase increment coefficient B[31:24]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03AC	DDC1 Phase Increment Frac B4	[7:0]	DDC1 相位增量系数 B[39:32]			0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC1 相位增量小数 B4		DDC1 phase increment coefficient B[39:32]		MBW 的分母校正项。MBW denominator correction term.		读/写 Read/write
0x03AD	DDC1 Phase Increment Frac B5 DDC1 相位增量小数 B5	[7:0]	DDC1 相位增量系数 B[47:40] DDC1 phase increment coefficient B[47:40]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03B0	DDC2 Phase Increment Frac A0 DDC2 相位增量小数 A0	[7:0]	DDC2 相位增量系数 A[7:0] DDC2 phase increment coefficient A[7:0]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03B1	DDC2 Phase Increment Frac A1 DDC2 相位增量小数 A1	[7:0]	DDC2 相位增量系数 A[15:8] DDC2 phase increment coefficient A[15:8]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03B2	DDC2 Phase Increment Frac A2 DDC2 相位增量小数 A2	[7:0]	DDC2 相位增量系数 A[23:16] DDC2 phase increment coefficient A[23:16]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03B3	DDC2 Phase Increment Frac A3 DDC2 相位增量小数 A3	[7:0]	DDC2 相位增量系数 A[31:24] DDC2 phase increment coefficient A[31:24]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03B4	DDC2 Phase Increment Frac A4 DDC2 相位增量小数 A4	[7:0]	DDC2 相位增量系数 A[39:32] DDC2 phase increment coefficient A[39:32]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03B5	DDC2 Phase Increment Frac A5 DDC2 相位增量小数 A5	[7:0]	DDC2 相位增量系数 A[47:40] DDC2 phase increment coefficient A[47:40]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03B8	DDC2 Phase Increment Frac B0 DDC2 相位增量小数 B0	[7:0]	DDC2 相位增量系数 B[7:0] DDC2 phase increment coefficient B[7:0]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03B9	DDC2 Phase Increment Frac B1 DDC2 相位增量小数 B1	[7:0]	DDC2 相位增量系数 B[15:8] DDC2 phase increment coefficient B[15:8]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03BA	DDC2 Phase Increment Frac B2 DDC2 相位增量小数 B2	[7:0]	DDC2 相位增量系数 B[23:16] DDC2 phase increment coefficient B[23:16]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03BB	DDC2 Phase Increment Frac B3 DDC2 相位增量小数 B3	[7:0]	DDC2 相位增量系数 B[31:24] DDC2 phase increment coefficient B[31:24]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03BC	DDC2 Phase Increment Frac B4	[7:0]	DDC2 相位增量系数 B[39:32]			0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC2 相位增量小数 B4		DDC2 phase increment coefficient B[39:32]		MBW 的分母校正项。MBW denominator correction term.		读/写 Read/write
0x03BD	DDC2 Phase Increment Frac B5 DDC2 相位增量小数 B5	[7:0]	DDC2 相位增量系数 B[47:40] DDC2 phase increment coefficient B[47:40]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03C0	DDC3 Phase Increment Frac A0 DDC3 相位增量小数 A0	[7:0]	DDC3 相位增量系数 A[7:0] DDC3 phase increment coefficient A[7:0]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03C1	DDC3 Phase Increment Frac A1 DDC3 相位增量小数 A1	[7:0]	DDC3 相位增量系数 A[15:8] DDC3 phase increment coefficient A[15:8]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03C2	DDC3 Phase Increment Frac A2 DDC3 相位增量小数 A2	[7:0]	DDC3 相位增量系数 A[23:16] DDC3 phase increment coefficient A[23:16]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03C3	DDC3 Phase Increment Frac A3 DDC3 相位增量小数 A3	[7:0]	DDC3 相位增量系数 A[31:24] DDC3 phase increment coefficient A[31:24]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03C4	DDC3 Phase Increment Frac A4 DDC3 相位增量小数 A4	[7:0]	DDC3 相位增量系数 A[39:32] DDC3 phase increment coefficient A[39:32]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03C5	DDC3 Phase Increment Frac A5 DDC3 相位增量小数 A5	[7:0]	DDC3 相位增量系数 A[47:40] DDC3 phase increment coefficient A[47:40]		MAW 的分子校正项。MAW numerator correction term.	0x0	读/写 Read/write
0x03C8	DDC3 Phase Increment Frac B0 DDC3 相位增量小数 B0	[7:0]	DDC3 相位增量系数 B[7:0] DDC3 phase increment coefficient B[7:0]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03C9	DDC3 Phase Increment Frac B1 DDC3 相位增量小数 B1	[7:0]	DDC3 相位增量系数 B[15:8] DDC3 phase increment coefficient B[15:8]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03CA	DDC3 Phase Increment Frac B2 DDC3 相位增量小数 B2	[7:0]	DDC3 相位增量系数 B[23:16] DDC3 phase increment coefficient B[23:16]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03CB	DDC3 Phase Increment Frac B3 DDC3 相位增量小数 B3	[7:0]	DDC3 相位增量系数 B[31:24] DDC3 phase increment coefficient B[31:24]		MBW 的分母校正项。MBW denominator correction term.	0x0	读/写 Read/write
0x03CC	DDC3 Phase Increment Frac B4	[7:0]	DDC3 相位增量系数 B[39:32]			0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC3 相位增量小数 B4		DDC3 phase increment coefficient B[39:32]		MBW 的分母校正项。 MBW denominator correction term.		读/写 Read/write
0x03CD	DDC3 Phase Increment Frac B5 DDC3 相位增量小数 B5	[7:0]	DDC3 相位增量系数 B[47:40] DDC3 phase increment coefficient B[47:40]		MBW 的分母校正项。 MBW denominator correction term.	0x0	读/写 Read/write

数据输出和测试模式 / Data Output and Test Modes

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0550	ADC test mode control (local) ADC 测试模式控制（本地）	7	用户模式选择 User mode select	0 1	测试模式用户模式选择。该位仅在寄存器 0x0550，位 [3:0]=4'b1000（用户输入模式）时使用。否则，它将被忽略。用户模式 1 在用户模式 1MSB（0x0552）和用户模式 1LSB（0x0551）寄存器中找到。用户模式 2 位于用户模式 2 MSB（0x0554）和用户模式 2LSB（0x0553）寄存器中，依此类推，等。 Test mode user mode select. This bit is only used when register 0x0550, bits [3:0] = 4'b1000 (user input mode). Otherwise, it is ignored. User mode 1 is found in the user mode 1 MSB (0x0552) and user mode 1 LSB (0x0551) registers. User mode 2 is in the user mode 2 MSB (0x0554) and user mode 2 LSB (0x0553) registers, and so on. 连续/重复模式。将每个用户模式（1、2、3 和 4）置于输出 1 个时钟周期，然后重复。（输出以下用户模式：1，2，3，4，1，2，3，4，1，2，3，4，1，2，3，4 等等） Continuous/repeat mode. Place each user mode (1, 2, 3, and 4) on the output for 1 clock cycle, then repeat. (Output the following user modes: 1, 2, 3, 4, 1, 2, 3, 4, 1, 2, 3, 4, etc.) 单一模式。将每个用户模式（1、2、3 和 4）放在输出上然后输出全零。（输出以下用户模式：1、2、3、4，然后输出全零。） Single mode. Place each user mode (1, 2, 3, and 4) on the output, then output all zeros. (Output the following user modes: 1, 2, 3, 4, then output all zeros.)	0x0	读/写 Read/write
0x0550	ADC test mode control (local) ADC 测试模式控制（本地）	6	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0550	ADC test mode control (local) ADC 测试模式控制（本地）	5	复位 PN 长发生器 Reset PN long generator	0 1	测试模式为长伪随机数测试生成器重置。 Test mode resets the long pseudo-random number test generator. 长 PN 结启用。 Long PN junction enabled. 长 PN 结禁用。 Long PN junction disabled.	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0550	ADC test mode control (local) ADC 测试模式控制（本地）	4	复位 PN 短发生器 Reset PN short generator	0 1	测试模式为短伪随机数测试生成器重置。 Test mode resets the short pseudo-random number test generator. 长 PN 结启用。 Long PN junction enabled. 长 PN 结禁用。 Long PN junction disabled.	0x0	读/写 Read/write
0x0550	ADC test mode control (local) ADC 测试模式控制（本地）	[3:0]	测试模式选择 Test mode select	0000 0001 0010 0011 0100 0101 0110 0111 1000 1111	测试模式生成器选择。 Test mode generator select. 关闭（正常操作）。 Off (normal operation). 中间电平短码。 Midlevel short code. 正满量程。 Positive full scale. 负满量程。 Negative full scale. 交替棋盘。 Alternating checkerboard. PN 序列（长）。 PN sequence (long). PN 序列（短）。 PN sequence (short). 1/0 字交替。 1/0 word toggle. 用户模式测试模式（与寄存器 0x0550、位 7 和用户模式 1、用户模式 2、用户模式 3 和用户模式 4 寄存器一起使用）。 User mode test mode (used together with register 0x0550, bit 7 and user mode 1, user mode 2, user mode 3, and user mode 4 registers). 斜坡输出。 Ramp output.	0x0	读/写 Read/write
0x0551	User Pattern 1 LSB 用户模式 1 LSB	[7:0]	用户模式 1[7:0] User mode 1[7:0]		用户测试模式 1 最低有效字节。 User test mode 1 least significant byte.	0x0	读/写 Read/write
0x0552	User Pattern 1 MSB 用户模式 1 MSB	[7:0]	用户模式 1[15:8] User mode 1[15:8]		用户测试模式 1 最低有效字节。 User test mode 1 least significant byte.	0x0	读/写 Read/write
0x0553	User Pattern 2 LSB 用户模式 2 LSB	[7:0]	用户模式 2[7:0] User mode 2[7:0]		用户测试模式 2 最低有效字节。 User test mode 2 least significant byte.	0x0	读/写 Read/write
0x0554	User Pattern 2 MSB 用户模式 2 MSB	[7:0]	用户模式 2[15:8] User mode 2[15:8]		用户测试模式 2 最低有效字节。 User test mode 2 least significant byte.	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0555	User Pattern 3 LSB 用户模式 3 LSB	[7:0]	用户模式 3[7:0] User mode 3[7:0]		用户测试模式 3 最低有效字节。 User test mode 3 least significant byte.	0x0	读/写 Read/write
0x0556	User Pattern 3 MSB 用户模式 3 MSB	[7:0]	用户模式 3[15:8] User mode 3[15:8]		用户测试模式 3 最低有效字节。 User test mode 3 least significant byte.	0x0	读/写 Read/write
0x0557	User Pattern 4 LSB 用户模式 4 LSB	[7:0]	用户模式 4[7:0] User mode 4[7:0]		用户测试模式 4 最低有效字节。 User test mode 4 least significant byte.	0x0	读/写 Read/write
0x0558	User Pattern 4 MSB 用户模式 4 MSB	[7:0]	用户模式 4[15:8] User mode 4[15:8]		用户测试模式 4 最低有效字节。 User test mode 4 least significant byte.	0x0	读/写 Read/write
0x0559	Output Mode Control 1 输出模式控制 1	[7:4]	转换器控制位 1 选择 Converter control bit 1 select	0000 0001 0010 0011 0101	拉低（1'b0）。 Pull low (1'b0). 超量程位。 Overrange bit. 信号检测器位。 Signal detector bit. 快速检测（FD）位。 Fast detect (FD) bit. SYSREF。 SYSREF.	0x0	读/写 Read/write
0x0559	Output Mode Control 1 输出模式控制 1	[3:0]	转换器控制位 0 选择 Converter control bit 0 select	0000 0001 0010 0011 0101	拉低（1'b0）。 Pull low (1'b0). 超量程位。 Overrange bit. 信号检测器位。 Signal detector bit. 快速检测（FD）位。 Fast detect (FD) bit. SYSREF。 SYSREF.	0x0	读/写 Read/write
0x055A	Output Mode Control 1 输出模式控制 1	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x055A	Output Mode Control 1 输出模式控制 1	[3:0]	转换器控制位 2 选择 Converter control	0000 0001 0010 0011 0101	拉低（1'b0）。 Pull low (1'b0). 超量程位。 Overrange bit. 信号检测器位。 Signal detector bit.	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			bit 2 select		快速检测（FD）位。 Fast detect (FD) bit. SYSREF。 SYSREF.		
0x0561	Out sample mode 输出采样模式	[7:3]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0561	Out sample mode 输出采样模式	2	样本反转 Sample invert	0 1	ADC 采样数据不反转。 ADC sample data not inverted. ADC 采样数据反转。 ADC sample data inverted.	0x0	读/写 Read/write
0x0561	Out sample mode 输出采样模式	[1:0]	数据格式选择 Data format select	00 01	偏移二进制。 Offset binary. 两个补码（默认）。 Two's complement (default).	0x0	读/写 Read/write
0x0562	Out overrange clear 输出超量程清除	[7:0]	数据格式超量程清除 Data format overrange clear	0 1	超量程清除位（每个虚拟转换器一位）。将 1 写入超量程清除位将清除相应的超量程粘性位。 Overrange clear bits (one per virtual converter). Writing 1 to an overrange clear bit clears the corresponding overrange sticky bit. 超量程位启用。 Overrange bit enabled. 超量成位清除。 Overrange bit cleared.	0x0	读/写 Read/write
0x0563	Out overrange status 输出超量程状态	[7:0]	数据格式超量程 Data format overrange	0 1	超范围粘性位状态（每个虚拟转换器一位）。将 1 写入超范围清除位将清除相应的超范围粘性位。 Overrange sticky bit status (one per virtual converter). Writing 1 to an overrange clear bit clears the corresponding overrange sticky bit. 未出现超量程。 No overrange occurred. 出现超量成。 Overrange occurred.	0x0	读 Read
0x0564	Out channel select 输出通道选择	[7:1]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0564	Out channel select 输出通道选择	0	转换器通道交换控制 Converter channel swap control	0 1	正常通道排序。 Normal channel ordering. 通道交换启用。 Channel swap enabled.	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x056E	PLL control PLL 控制	[7:4]	JESD204B 通道速率控制 JESD204B lane rate control	0000 0001 0011 0101	通道速率=6.75 Gbps 到 13.5 Gbps。 Lane rate = 6.75 Gbps to 13.5 Gbps. 通道速率=3.375 Gbps 到 6.75 Gbps。 Lane rate = 3.375 Gbps to 6.75 Gbps. 通道速率=13.5 Gbps 到 16 Gbps。 Lane rate = 13.5 Gbps to 16 Gbps. 通道速率=1.6875 Gbps 到 3.375 Gbps。 Lane rate = 1.6875 Gbps to 3.375 Gbps.	0x0	读/写 Read/ write
0x056E	PLL control PLL 控制	[3:0]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x056F	PLL status PLL 状态	7	PLL 锁定状态 PLL lock status	0 1	未锁定。 Unlocked. 锁定。 Locked.	0x0	读 Read
0x056F	PLL status PLL 状态	[6:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x056F	PLL status PLL 状态	3	PLL 锁定失锁 PLL lock loss-of-lock		粘连位失锁。指示某个时间发生了失锁。通过设置寄存器 0x0571，位 0 清除。 Sticky loss-of-lock. Indicates that a loss of lock occurred at some time. Cleared by setting register 0x0571, bit 0.		
0x056F	PLL status PLL 状态	[2:0]	保留 Reserved		保留。 Reserved.		
0x0570	fS×4 configuration fS×4 配置	[7:0]	（fS×4 配置） (fS×4 configuration)	0xFE 0xFF	启用 fS×4 模式。L=8；M=2；F=2；S=4；N′=16；N=16；CS = 0; CF = 0; HD = 0. Enable fS×4 mode. L=8; M=2; F=2; S=4; N′=16; N=16; CS = 0; CF = 0; HD = 0. 禁用 fS×4 模式。L、M 和 F 分别由寄存器 0x058B，位[4:0]；寄存器 0x58E，位[7:0]；和寄存器 0x058C，位[7:0]设置。 Disable fS×4 mode. L, M, and F are set by register 0x058B, bits [4:0]; register 0x58E, bits [7:0]; and register 0x058C, bits [7:0] respectively.	0xFF	读/写 Read/ write
0x0571	JESD204B Link Control 1 JESD204B 链路控制 1	7	待机模式 Standby mode	0 1	待机模式强制所有转换器样本为零。 Standby mode forces all converter samples to zero. 待机模式强制代码组同步（/K28.5/个字符）。 Standby mode forces code group synchronization (/K28.5/ characters).	0x0	读/写 Read/ write
0x0571	JESD204B Link Control 1 JESD204B 链路控制 1	6	结束位（t）PN Tail bit (t) PN	0 1	禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/ write
0x0571	JESD204B Link Control 1 JESD204B 链路控制 1	5	长传输层测试 Long transport layer test	0 1	禁用 JESD204B 测试样本。 Disable JESD204B test samples. 启用 JESD204B 测试样本。在所有链路通道上发送的长传输层测试样本序列。	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					Enable JESD204B test samples. Long transport layer test sample sequence sent on all link lanes.		
0x0571	JESD204B Link Control 1 JESD204B 链路控制 1	4	通道同步 Lane sync	0 1	禁用 FACI 使用/K28.7/。 Disable FACI use of /K28.7/. 启用 FACI 使用/K28.3/和/K28.7/。 Enable FACI use of /K28.3/ and /K28.7/.	0x1	读/写 Read/ write
0x0571	JESD204B Link Control 1 JESD204B 链路控制 1	[3:2]	ILAS 序列模式 ILAS sequence mode	00 01 11	禁用初始通道对齐序列。 Disable initial lane alignment sequence. 启用初始通道对齐序列。初始通道对齐顺序始终处于测试模式。 Enable initial lane alignment sequence. The initial lane alignment sequence is always in test mode. JESD204B 数据链路层测试模式，其中在所有通道上发送重复通道对齐序列。 JESD204B data link layer test mode, in which repeated lane alignment sequences are sent on all lanes.	0x1	读/写 Read/ write
0x0571	JESD204B Link Control 1 JESD204B 链路控制 1	1	FACI 帧对齐字符插入	0 1	启用帧对齐字符插入。 Enable frame alignment character insertion. 禁用帧对齐字符插入。仅用于调试。 Disable frame alignment character insertion. For debug only.	0x0	读/写 Read/ write
0x0571	JESD204B Link Control 1 JESD204B 链路控制 1	0	链路控制 Link control	0 1	启用 JESD204B 串行传输链路。传输代码组同步的/K28.5/个字符由 SYNC~引脚控制。 Enable JESD204B serial transport link. Transmission of code group synchronization /K28.5/ characters is controlled by the SYNC~ pin. JESD204B 串行传输链路掉电（保持复位和时钟门控）。 JESD204B serial transport link powered down (held in reset and clock gated).	0x0	读/写 Read/ write
0x0572	JESD204B Link Control 2 JESD204B 链路控制 2	[7:6]	SYNCINB±引脚控制 SYNCINB± pin control	00 10 11	正常模式。 Normal mode. 忽略 SYNCINB±（强制 CGS）。 Ignore SYNCINB± (force CGS). 忽略 SYNCINB±（强制 ILAS/用户数据）。 Ignore SYNCINB± (force ILAS/user data).	0x0	读/写 Read/ write
0x0572	JESD204B Link Control 2 JESD204B 链路控制 2	5	SYNCINB±引脚反转 SYNCINB± pin invert	0 1	SYNCINB±引脚未反转。 SYNCINB± pins not inverted. SYNCINB±引脚反转。 SYNCINB± pins inverted.	0x0	读/写 Read/ write
0x0572	JESD204B Link Control 2	4	SYNCINB±引脚类型	0 1	LVDS 差分对 SYNC~输入。 LVDS differential pair SYNC~ input. CMOS 单端 SYNC~输入。使用	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	JESD204B 链路控制 2		SYNCINB± pin type		SYNCINB+。 CMOS single-ended SYNC~ input. Use SYNCINB+.		
0x0572	JESD204B Link Control 2 JESD204B 链路控制 2	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0572	JESD204B Link Control 2 JESD204B 链路控制 2	2	8 位/10 位旁路 8-bit/10-bit bypass	0 1	8 位/10 位启用。 8-bit/10-bit enabled. 8 位/10 位旁路（最高有效位为 2）。 8-bit/10-bit bypassed (MSB is 2).	0x0	读/写 Read/ write
0x0572	JESD204B Link Control 2 JESD204B 链路控制 2	1	8 位/10 位反转 8-bit/10-bit invert	0 1	正常。 Normal. 反转 a、b、c、d、e、f、g、h、i、j 符号。 Invert a, b, c, d, e, f, g, h, i, j symbols.	0x0	读/写 Read/ write
0x0572	JESD204B Link Control 2 JESD204B 链路控制 2	0	保留 Reserved		保留。 Reserved.	0x0	读/写 Read/ write
0x0573	JESD204B Link Control 3 JESD204B 链路控制 3	[7:6]	校验和模式 Checksum mode	00 01 10 11	校验和是链路配置表中所有 8 位寄存器的总和。 Checksum is the sum of all 8-bit registers in the link configuration table. 校验和是所有单个链路配置字段（LSB 对齐）的总和。 Checksum is the sum of all individual link configuration fields (LSB-aligned). 禁用校验和（设置为零）。仅用于测试目的。 Disable checksum (set to zero). For test purposes only. 未使用。 Unused.	0x0	读/写 Read/ write
0x0573	JESD204B Link Control 3 JESD204B 链路控制 3	[5:4]	测试注入点 Test injection point	0 1 10	N’ 样本输入。 N' sample input. 8 位/10 位输出的 10 位数据（用于 PHY 测试）。 10-bit data at the 8-bit/10-bit output (for PHY test). 加扰器输入端的 8 位数据。 8-bit data at the scrambler input.	0x0	读/写 Read/ write
0x0573	JESD204B Link Control 3 JESD204B 链路控制 3	[3:0]	JESD204B 测试模式 JESD204B test mode	0000 0001 0010 0011 0100 0101 0110 0111 1000	正常操作（禁用测试模式）。 Normal operation (test mode disabled). 交替棋盘。 Alternating checkerboard. 1/0 字交替。 1/0 word toggle. 31 位 PN 序列：x31+x28+1。 31-bit PN sequence: x31+x28+1. 23 位 PN 序列：x23+x18+1。	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
				1110 1111	23-bit PN sequence: x23+x18+1. 15 位 PN 序列：x15+x14+1。 15-bit PN sequence: x15+x14+1. 9 位 PN 序列：x9+x5+1。 9-bit PN sequence: x9+x5+1. 7 位 PN 序列：x7+x6+1。 7-bit PN sequence: x7+x6+1. 斜坡输出。 Ramp output. 持续/重复用户测试。 Continuous/repeat user test. 单用户测试。 Single user test.		
0x0574	JESD204B Link Control 4 JESD204B 链路控制 4	[7:4]	ILAS 延迟 ILAS delay	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	在 SYNCINB±解除置位后，在第一个 LMFC 传输 ILAS。 Transmit ILAS at the first LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第二个 LMFC 传输 ILAS。 Transmit ILAS at the second LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第三个 LMFC 传输 ILAS。 Transmit ILAS at the third LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第四个 LMFC 传输 ILAS。 Transmit ILAS at the fourth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第五个 LMFC 传输 ILAS。 Transmit ILAS at the fifth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第六个 LMFC 传输 ILAS。 Transmit ILAS at the sixth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第七个 LMFC 传输 ILAS。 Transmit ILAS at the seventh LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第八个 LMFC 传输 ILAS。 Transmit ILAS at the eighth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第九个 LMFC 传输 ILAS。 Transmit ILAS at the ninth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十个 LMFC 传输 ILAS。 Transmit ILAS at the tenth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十一个 LMFC 传输 ILAS。	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					Transmit ILAS at the eleventh LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十二个 LMFC 传输 ILAS。 Transmit ILAS at the twelfth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十三个 LMFC 传输 ILAS。 Transmit ILAS at the thirteenth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十四个 LMFC 传输 ILAS。 Transmit ILAS at the fourteenth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十五个 LMFC 传输 ILAS。 Transmit ILAS at the fifteenth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十六个 LMFC 传输 ILAS。 Transmit ILAS at the sixteenth LMFC after SYNCINB± is deasserted.		
0x0574	JESD204B Link Control 4 JESD204B 链路控制 4	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0574	JESD204B Link Control 4 JESD204B 链路控制 4	[2:0]	链路层测试模式 Link layer test mode	000 001 010 011 100 101 110 111	正常工作（链路层测试模式禁用）。 Normal operation (link layer test mode disabled). /D21.5/字符的持续序列。 Continuous sequence of /D21.5/ characters. 保留。 Reserved. 保留。 Reserved. 修改 PRAT 测试序列。 Modified PRAT test sequence. JSPAT 测试序列。 JSPAT test sequence. JTSPAT 测试序列。 JTSPAT test sequence. 保留。 Reserved.	0x0	读/写 Read/ write
0x0578	JESD204B LMFC offset JESD204B LMFC 偏移	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0578	JESD204B LMFC offset JESD204B LMFC 偏移	[4:0]	LMFC 相位偏移值 LMFC phase offset value		LMFC 相位偏移值（以帧时钟为单位）。 LMFC phase offset value (in frame clock units).	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0580	JESD204B configuration DID JESD204B 配置 DID	[7:0]	JESD204B T×DID 值 JESD204B T×DID value		JESD204B 串行设备标识（DID）号。 JESD204B serial device ID (DID) number.	0x0	读/写 Read/ write
0x0581	JESD204B configuration BID JESD204B 配置 BID	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0581	JESD204B configuration BID JESD204B 配置 BID	[3:0]	JESD204B T×BID 值 JESD204B T×BID value		JESD204B BID 号（延伸至 DID）。 JESD204B BID number (extension of DID).	0x0	读/写 Read/ write
0x0583	JESD204B configuration LID0 JESD204B 配置 LID0	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0583	JESD204B configuration LID0 JESD204B 配置 LID0	[4:0]	通道 0 LID 值 Lane 0 LID value		通道 0 的 JESD204B 串行通道识别（LID）号。 JESD204B serial lane ID (LID) number for lane 0.	0x0	读/写 Read/ write
0x0584	JESD204B configuration LID1 JESD204B 配置 LID1	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0584	JESD204B configuration LID1 JESD204B 配置 LID1	[4:0]	通道 1 LID 值 Lane 1 LID value		通道 1 的 JESD204B 串行 LID 号。 JESD204B serial LID number for lane 1.	0x1	读/写 Read/ write
0x0585	JESD204B configuration LID2 JESD204B 配置 LID2	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0585	JESD204B configuration LID2 JESD204B 配置 LID2	[4:0]	通道 2 LID 值 Lane 2 LID value		通道 2 的 JESD204B 串行 LID 号。 JESD204B serial LID number for lane 2.	0x2	读/写 Read/ write
0x0586	JESD204B configuration LID3 JESD204B 配置 LID3	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0586	JESD204B configuration LID3 JESD204B 配置 LID3	[4:0]	通道 3 LID 值 Lane 3 LID value		通道 3 的 JESD204B 串行 LID 号。 JESD204B serial LID number for lane 3.	0x3	读/写 Read/ write
0x0587	JESD204B configuration LID4 JESD204B 配置 LID4	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0587	JESD204B configuration LID4 JESD204B 配置 LID4	[4:0]	通道 4 LID 值 Lane 4 LID value		通道 4 的 JESD204B 串行 LID 号。 JESD204B serial LID number for lane 4.	0x4	读/写 Read/ write
0x0588	JESD204B configuration LID5 JESD204B 配置 LID5	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0588	JESD204B configuration LID5 JESD204B 配置 LID5	[4:0]	通道 5 LID 值 Lane 5 LID value		通道 5 的 JESD204B 串行 LID 号。 JESD204B serial LID number for lane 5.	0x5	读/写 Read/ write
0x0589	JESD204B configuration LID6 JESD204B 配置 LID6	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0589	JESD204B configuration LID6 JESD204B 配置 LID6	[4:0]	通道 6 LID 值 Lane 6 LID value		通道 6 的 JESD204B 串行 LID 号。 JESD204B serial LID number for lane 6.	0x6	读/写 Read/ write
0x058A	JESD204B configuration LID7 JESD204B 配置 LID7	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x058A	JESD204B configuration LID7 JESD204B 配置 LID7	[4:0]	通道 7 LID 值 Lane 7 LID value		通道 7 的 JESD204B 串行 LID 号。 JESD204B serial LID number for lane 7.	0x7	读/写 Read/ write
0x058B	JESD204B scrambling and number of lanes (L) configuration JESD204B 加扰和通道数(L)配置	7	JESD204B 加扰（SCR） JESD204B scrambling (SCR)	0 1	JESD204B 加扰器禁用（SCR=0）。 JESD204B scrambler disabled (SCR=0). JESD204B 加扰器启用（SCR=1）。 JESD204B scrambler enabled (SCR=1).	0x1	读/写 Read/ write
0x058B	JESD204B scrambling and number of lanes (L) configuration JESD204B 加扰和通道数(L)配置	[6:5]	保留 Reserved		保留。 Reserved.	0x0	读/写 Read/ write
0x058B	JESD204B scrambling and number of lanes (L) configuration JESD204B 加扰和通道数(L)配置	[4:0]	JESD204B 通道（L） JESD204B lanes (L)	0x0 0x1 0x3 0x7	每链路 1 通道（L=1）。 1 lane per link (L=1). 每链路 2 通道（L=2）。 2 lanes per link (L=2). 每链路 4 通道（L=4）。 4 lanes per link (L=4). 每链路 8 通道（L=8）。 8 lanes per link (L=8).	0x7	读/写 Read/ write
0x058C		[7:0]				0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	JESD204B number of octets per frames (F) JESD204B 每帧 8 位字数(F)		JESD204B F 配置 JESD204B F configuration	0000 0001 0010 0011 0101 0111 1111	JESD204B 每帧的 8 位字数 (F=0x058C[7:0]+1)。 Number of 8-bit words per JESD204B frame (F=0x058C[7:0]+1). F=1。 F=2。 F=3。 F=4。 F=6。 F=8。 F=16。		读/写 Read/ write
0x058D	JESD204B number of octets per frames (K) JESD204B 每多帧帧数(K)	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x058D	JESD204B number of octets per frames (K) JESD204B 每多帧帧数(K)	[4:0]	JESD204B K 配置 JESD204B K configuration		JESD204B 每多帧的帧数 (K=0x058C[4:0]+1)。仅用在 F×K 可被 4 整除的值。 Number of frames per JESD204B multiframe (K=0x058C[4:0]+1). Use only values where F×K is divisible by 4.	0x1F	读/写 Read/ write
0x058E	JESD204B number of converters (M) JESD204B 转换器数(M)	[7:0]	JESD204B M 配置 JESD204B M configuration	000 001 011 111	JESD204B 每个设备链路的转换器数量 (M=JESD204B M 配置)。 Number of converters per JESD204B device link (M = JESD204B M configuration). 链路连接至一个虚拟转换器（M=1）。 Link connected to one virtual converter (M=1). 链路连接至两个虚拟转换器（M=2）。 Link connected to two virtual converters (M=2). 链路连接至四个虚拟转换器（M=4）。 Link connected to four virtual converters (M=4). 链路连接至八个虚拟转换器（M=8）。 Link connected to eight virtual converters (M=8).	0x1	读/写 Read/ write
0x058F	JESD204B number of control bits (CS) and ADC resolution (N) JESD204B 控制位数(CS)与 ADC 分辨率(N)	[7:6]	每个样本的控制位（CS）数 Control bits (CS) per sample	000 001 010 011	无控制位（CS=0）。 No control bits (CS=0). 1 控制位（CS=1），仅控制位 2。 1 control bit (CS=1), control bit 2 only. 2 控制位（CS=2），仅控制位 2 和控制位 1。 2 control bits (CS=2), control bits 2 and 1 only. 3 控制位（CS=3），所有控制位（控制位 2，控制位 1 和控制位 0）。 3 control bits (CS=3), all control bits (control bit 2, control bit 1, and control bit 0).	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x058F	JESD204B number of control bits (CS) and ADC resolution (N) JESD204B 控制位数(CS)与 ADC 分辨率(N)	5	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x058F	JESD204B number of control bits (CS) and ADC resolution (N) JESD204B 控制位数(CS)与 ADC 分辨率(N)	[4:0]	ADC 转换器分辨率（N） ADC converter resolution (N)	00110 00111 01000 01001 01010 01011 01100 01101 01110 01111	N=7 位分辨率。 N=7-bit resolution. N=8 位分辨率。 N=8-bit resolution. N=9 位分辨率。 N=9-bit resolution. N=10 位分辨率。 N=10-bit resolution. N=11 位分辨率。 N=11-bit resolution. N=12 位分辨率。 N=12-bit resolution. N=13 位分辨率。 N=13-bit resolution. N=14 位分辨率。 N=14-bit resolution. N=15 位分辨率。 N=15-bit resolution. N=16 位分辨率。 N=16-bit resolution.	0xF	读/写 Read/ write
0x0590	JESD204B SCV NP configuration JESD204B SCV NP 配置	[7:5]	子类支持 Subclass support	000 001	子类 0。 Subclass 0. 子类 1。 Subclass 1.	0x1	读/写 Read/ write
0x0590	JESD204B SCV NP configuration JESD204B SCV NP 配置	[4:0]	每个样本(N')的 ADC 位数 ADC bits per sample (N')	00111 01011 01111	N'=8。 N'=12。 N'=16。	0xF	读/写 Read/ write
0x0591	JESD204B JV S configuration JESD204B JV S 配置	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0591	JESD204B JV S configuration JESD204B JV S 配置	[4:0]	每个转换器帧周期的样本 Samples per converter frame period		每个转换器帧周期的样本 (S=0x0591[4:0]+1)。 Samples per converter frame period (S=0x0591[4:0]+1).	0x0	读 Read
0x0592	JESD204B HD CF configuration JESD204B HD CF 配置	7	HD 值 HD value	0 1	高密度格式禁用。 High-density format disabled. 高密度格式启用。 High-density format enabled.	0x0	读 Read
0x0592	JESD204B HD CF configuration	[6:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	JESD204B HD CF 配置						
0x0592	JESD204B HD CF configuration JESD204B HD CF 配置	[4:0]	每链路每帧时钟周期的控制字（CF） Control words (CF) per frame clock per link		每链路每帧时钟周期的控制字数 (CF=Register0x0592,Bits[4:0])。 Number of control words per frame clock cycle per link (CF=Register0x0592,Bits[4:0]).	0x0	读 Read
0x05A0	JESD204B Checksum 0 configuration JESD204B 校验和 0 配置	[7:0]	校验和 0 SERDOUT0± 的校验值 Checksum 0 SERDOUT0± checksum value		通道 0 的串行校验和值。每通道自动计算。和（通道 0 的所有配置参数）mod 256。 Serial checksum value for lane 0. Automatically calculated per lane. Sum (all configuration parameters of lane 0) mod 256.	0xC3	读 Read
0x05A1	JESD204B Checksum 1 configuration JESD204B 校验和 1 配置	[7:0]	校验和 1 SERDOUT0± 的校验值 Checksum 1 SERDOUT0± checksum value		通道 1 的串行校验和值。每通道自动计算。和（通道 1 的所有配置参数）mod 256。 Serial checksum value for lane 1. Automatically calculated per lane. Sum (all configuration parameters of lane 1) mod 256.	0xC4	读 Read
0x05A2	JESD204B Checksum 2 configuration JESD204B 校验和 2 配置	[7:0]	校验和 2 SERDOUT0± 的校验值 Checksum 2 SERDOUT0± checksum value		通道 2 的串行校验和值。每通道自动计算。和（通道 2 的所有配置参数）mod 256。 Serial checksum value for lane 2. Automatically calculated per lane. Sum (all configuration parameters of lane 2) mod 256.	0xC5	读 Read
0x05A3	JESD204B Checksum 3 configuration JESD204B 校验和 3 配置	[7:0]	校验和 3 SERDOUT0± 的校验值 Checksum 3 SERDOUT0± checksum value		通道 3 的串行校验和值。每通道自动计算。和（通道 3 的所有配置参数）mod 256。 Serial checksum value for lane 3. Automatically calculated per lane. Sum (all configuration parameters of lane 3) mod 256.	0xC6	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x05B0	JESD204B lane powerdown JESD204B 通道掉电	7	JESD204B Lane 7 power-down JESD204B 通道 7 掉电	0 1	物理通道 7 强制掉电。 Physical lane 7 forced power-down. SERDOUT7±正常工作。 SERDOUT7± normal operation. SERDOUT7±掉电。 SERDOUT7± powered down.	0x0	读/写 Read/ write
0x05B0	JESD204B lane powerdown	6	JESD204B Lane 6 power-down	0 1	物理通道 6 强制掉电。 Physical lane 6 forced	0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	JESD204B 通道掉电		JESD204B 通道 6 掉电		power-down. SERDOUT6±正常工作。 SERDOUT6± normal operation. SERDOUT6±掉电。 SERDOUT6± powered down.		读/写 Read/write
0x05B0	JESD204B lane powerdown JESD204B 通道掉电	5	JESD204B Lane 5 power-down JESD204B 通道 5 掉电	0 1	物理通道 5 强制掉电。 Physical lane 5 forced power-down. SERDOUT5±正常工作。 SERDOUT5± normal operation. SERDOUT5±掉电。 SERDOUT5± powered down.	0x0	读/写 Read/write
0x05B0	JESD204B lane powerdown JESD204B 通道掉电	4	JESD204B Lane 4 power-down JESD204B 通道 4 掉电	0 1	物理通道 4 强制掉电。 Physical lane 4 forced power-down. SERDOUT4±正常工作。 SERDOUT4± normal operation. SERDOUT4±掉电。 SERDOUT4± powered down.	0x0	读/写 Read/write
0x05B0	JESD204B lane powerdown JESD204B 通道掉电	3	JESD204B Lane 3 power-down JESD204B 通道 3 掉电	0 1	物理通道 3 强制掉电。 Physical lane 3 forced power-down. SERDOUT3±正常工作。 SERDOUT3± normal operation. SERDOUT3±掉电。 SERDOUT3± powered down.	0x0	读/写 Read/write
0x05B0	JESD204B lane powerdown JESD204B 通道掉电	2	JESD204B Lane 2 power-down JESD204B 通道 2 掉电	0 1	物理通道 2 强制掉电。 Physical lane 2 forced power-down. SERDOUT2±正常工作。 SERDOUT2± normal operation. SERDOUT2±掉电。 SERDOUT2± powered down.	0x0	读/写 Read/write
0x05B0	JESD204B lane powerdown JESD204B 通道掉电	1	JESD204B Lane 1 power-down JESD204B 通道 1 掉电	0 1	物理通道 1 强制掉电。 Physical lane 1 forced power-down. SERDOUT1±正常工作。 SERDOUT1± normal operation. SERDOUT1±掉电。 SERDOUT1± powered down.	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x05B0	JESD204B lane powerdown JESD204B 通道掉电	0	JESD204B Lane 0 power-down JESD204B 通道 0 掉电	0 1	物理通道 0 强制掉电。 Physical lane 0 forced power-down. SERDOUT0±正常工作。 SERDOUT0± normal operation. SERDOUT0±掉电。 SERDOUT0± powered down.	0x0	读/写 Read/ write
0x05B2	JESD204B Lane Assign 1 JESD204B 通道分配 1	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05B2	JESD204B Lane Assign 1 JESD204B 通道分配 1	[6:4]	SERDOUT1±通道分配 SERDOUT1± lane assignment	000 001 010 011 100 101 110 111	物理通道 1 分配。 Physical lane 1 assignment. 逻辑通道 0。 Logical lane 0. 逻辑通道 1（默认）。 Logical lane 1 (default). 逻辑通道 2。 Logical lane 2. 逻辑通道 3。 Logical lane 3. 逻辑通道 4。 Logical lane 4. 逻辑通道 5。 Logical lane 5. 逻辑通道 6。 Logical lane 6. 逻辑通道 7。 Logical lane 7.	0x1	读/写 Read/ write
0x05B2	JESD204B Lane Assign 1 JESD204B 通道分配 1	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05B2	JESD204B Lane Assign 1 JESD204B 通道分配 1	[2:0]	SERDOUT0±通道分配 SERDOUT0± lane assignment	000 001 010 011 100 101 110 111	物理通道 0 分配。 Physical lane 0 assignment. 逻辑通道 0（默认）。 Logical lane 0 (default). 逻辑通道 1。 Logical lane 1. 逻辑通道 2。 Logical lane 2. 逻辑通道 3。 Logical lane 3. 逻辑通道 4。 Logical lane 4. 逻辑通道 5。 Logical lane 5. 逻辑通道 6。 Logical lane 6.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					逻辑通道 7。 Logical lane 7.		
0x05B3	JESD204B Lane Assign 2 JESD204B 通道分配 2	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05B3	JESD204B Lane Assign 2 JESD204B 通道分配 2	[6:4]	SERDOUT3±通道分配 SERDOUT3± lane assignment	000 001 010 011 100 101 110 111	物理通道 3 分配。 Physical lane 3 assignment. 逻辑通道 0。 Logical lane 0. 逻辑通道 1。 Logical lane 1. 逻辑通道 2。 Logical lane 2. 逻辑通道 3（默认）。 Logical lane 3 (default). 逻辑通道 4。 Logical lane 4. 逻辑通道 5。 Logical lane 5. 逻辑通道 6。 Logical lane 6. 逻辑通道 7。 Logical lane 7.	0x0	读/写 Read/ write
0x05B3	JESD204B Lane Assign 2 JESD204B 通道分配 2	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05B3	JESD204B Lane Assign 2 JESD204B 通道分配 2	[2:0]	SERDOUT2±通道分配 SERDOUT2± lane assignment	000 001 010 011 100 101 110 111	物理通道 2 分配。 Physical lane 2 assignment. 逻辑通道 0。 Logical lane 0. 逻辑通道 1。 Logical lane 1. 逻辑通道 2（默认）。 Logical lane 2 (default). 逻辑通道 3。 Logical lane 3. 逻辑通道 4。 Logical lane 4. 逻辑通道 5。 Logical lane 5. 逻辑通道 6。 Logical lane 6. 逻辑通道 7。 Logical lane 7.	0x0	读/写 Read/ write
0x05B5	JESD204B Lane Assign 3 JESD204B 通道分配 3	7	保留 Reserved		保留。 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x05B5	JESD204B Lane Assign 3 JESD204B 通道分配 3	[6:4]	SERDOUT5±通道分配 SERDOUT5± lane assignment	000 001 010 011 100 101 110 111	物理通道 5 分配。 Physical lane 5 assignment. 逻辑通道 0。 Logical lane 0. 逻辑通道 1。 Logical lane 1. 逻辑通道 2。 Logical lane 2. 逻辑通道 3。 Logical lane 3. 逻辑通道 4。 Logical lane 4. 逻辑通道 5（默认）。 Logical lane 5 (default). 逻辑通道 6。 Logical lane 6. 逻辑通道 7。 Logical lane 7.	0x0	读/写 Read/ write
0x05B5	JESD204B Lane Assign 3 JESD204B 通道分配 3	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05B5	JESD204B Lane Assign 3 JESD204B 通道分配 3	[2:0]	SERDOUT4±通道分配 SERDOUT4± lane assignment	000 001 010 011 100 101 110 111	物理通道 4 分配。 Physical lane 4 assignment. 逻辑通道 0。 Logical lane 0. 逻辑通道 1。 Logical lane 1. 逻辑通道 2。 Logical lane 2. 逻辑通道 3。 Logical lane 3. 逻辑通道 4（默认）。 Logical lane 4 (default). 逻辑通道 5。 Logical lane 5. 逻辑通道 6。 Logical lane 6. 逻辑通道 7。 Logical lane 7.	0x0	读/写 Read/ write
0x05B6	JESD204B Lane Assign 4 JESD204B 通道分配 4	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05B6	JESD204B Lane Assign 4 JESD204B 通道分配 4	[6:4]	SERDOUT7±通道分配 SERDOUT7± lane assignment	000 001 010 011 100 101	物理通道 7 分配。 Physical lane 7 assignment. 逻辑通道 0。 Logical lane 0. 逻辑通道 1。 Logical lane 1.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
				110 111	逻辑通道 2。 Logical lane 2. 逻辑通道 3。 Logical lane 3. 逻辑通道 4。 Logical lane 4. 逻辑通道 5。 Logical lane 5. 逻辑通道 6。 Logical lane 6. 逻辑通道 7（默认）。 Logical lane 7 (default).		
0x05B6	JESD204B Lane Assign 4 JESD204B 通道分配 4	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05B6	JESD204B Lane Assign 4 JESD204B 通道分配 4	[2:0]	SERDOUT6±通道分配 SERDOUT6± lane assignment	000 001 010 011 100 101 110 111	物理通道 6 分配。 Physical lane 6 assignment. 逻辑通道 0。 Logical lane 0. 逻辑通道 1。 Logical lane 1. 逻辑通道 2。 Logical lane 2. 逻辑通道 3。 Logical lane 3. 逻辑通道 4。 Logical lane 4. 逻辑通道 5。 Logical lane 5. 逻辑通道 6（默认）。 Logical lane 6 (default). 逻辑通道 7。 Logical lane 7.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert SERDOUTx± 数据取反	7	取反 SERDOUT7±数据 Invert SERDOUT7± data	0 1	SERDOUT7±数据取反。 Invert SERDOUT7± data. 正常。 Normal. 取反。 Inverted.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert SERDOUTx± 数据取反	6	取反 SERDOUT6±数据 Invert SERDOUT6± data	0 1	取反 SERDOUT6±数据。 Invert SERDOUT6± data. 正常。 Normal. 取反。 Inverted.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert	5	取反 SERDOUT5±数据	0 1	取反 SERDOUT5±数据。 Invert SERDOUT5± data.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	SERDOUTx± 数据取反		Invert SERDOUT5± data		正常。 Normal. 取反。 Inverted.		
0x05BF	SERDOUTx± data invert SERDOUTx± 数据取反	4	取反 SERDOUT4±数据 Invert SERDOUT4± data	0 1	取反 SERDOUT4±数据。 Invert SERDOUT4± data. 正常。 Normal. 取反。 Inverted.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert SERDOUTx± 数据取反	3	取反 SERDOUT3±数据 Invert SERDOUT3± data	0 1	取反 SERDOUT3±数据。 Invert SERDOUT3± data. 正常。 Normal. 取反。 Inverted.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert SERDOUTx± 数据取反	2	取反 SERDOUT2±数据 Invert SERDOUT2± data	0 1	取反 SERDOUT2±数据。 Invert SERDOUT2± data. 正常。 Normal. 取反。 Inverted.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert SERDOUTx± 数据取反	1	取反 SERDOUT1±数据 Invert SERDOUT1± data	0 1	取反 SERDOUT1±数据。 Invert SERDOUT1± data. 正常。 Normal. 取反。 Inverted.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert SERDOUTx± 数据取反	0	取反 SERDOUT0±数据 Invert SERDOUT0± data	0 1	取反 SERDOUT0±数据。 Invert SERDOUT0± data. 正常。 Normal. 取反。 Inverted.	0x0	读/写 Read/ write
0x05C0	JESD204B Swing Adjust 1 JESD204B 摆幅调整 1	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05C0	JESD204B Swing Adjust 1 JESD204B 摆幅调整 1	[6:4]	SERDOUT1±电压摆幅调节 SERDOUT1± voltage swing adjust	000 001 010	SERDOUT1±的输出摆幅电平。 Output swing level of SERDOUT1±. 1.0×DRVDD1。 0.850×DRVDD1。 0.750×DRVDD1。	0x0	读/写 Read/ write
0x05C0		3				0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	JESD204B Swing Adjust 1 JESD204B 摆幅调整 1		保留 Reserved		保留。 Reserved.		读 Read
0x05C0	JESD204B Swing Adjust 1 JESD204B 摆幅调整 1	[2:0]	SERDOUT0±电压摆幅调节 SERDOUT0± voltage swing adjust	000 001 010	SERDOUT0±的输出摆幅电平。 Output swing level of SERDOUT0±. 1.0×DRVDD1。 0.850×DRVDD1。 0.750×DRVDD1。	0x0	读/写 Read/ write
0x05C1	JESD204B Swing Adjust 2 JESD204B 摆幅调整 2	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05C1	JESD204B Swing Adjust 2 JESD204B 摆幅调整 2	[6:4]	SERDOUT3±电压摆幅调节 SERDOUT3± voltage swing adjust	000 001 010	SERDOUT3±的输出摆幅电平。 Output swing level of SERDOUT3±. 1.0×DRVDD1。 0.850×DRVDD1。 0.750×DRVDD1。	0x0	读/写 Read/ write
0x05C1	JESD204B Swing Adjust 2 JESD204B 摆幅调整 2	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05C1	JESD204B Swing Adjust 2 JESD204B 摆幅调整 2	[2:0]	SERDOUT2±电压摆幅调节 SERDOUT2± voltage swing adjust	000 001 010	SERDOUT2±的输出摆幅电平。 Output swing level of SERDOUT2±. 1.0×DRVDD1。 0.850×DRVDD1。 0.750×DRVDD1。	0x0	读/写 Read/ write
0x05C2	JESD204B Swing Adjust 3 JESD204B 摆幅调整 3	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05C2	JESD204B Swing Adjust 3 JESD204B 摆幅调整 3	[6:4]	SERDOUT5±电压摆幅调节 SERDOUT5± voltage swing adjust	000 001 010	SERDOUT0±的输出摆幅电平。 Output swing level of SERDOUT0±. 1.0×DRVDD1。 0.850×DRVDD1。 0.750×DRVDD1。	0x0	读/写 Read/ write
0x05C2	JESD204B Swing Adjust 3 JESD204B 摆幅调整 3	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05C2	JESD204B Swing Adjust 3	[2:0]	SERDOUT4±电压摆幅调节		SERDOUT4±的输出摆幅电平。	0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	JESD204B 摆幅调整 3		SERDOUT4± voltage swing adjust	000 001 010	Output swing level of SERDOUT4±. 1.0×DRVDD1。 0.850×DRVDD1。 0.750×DRVDD1。		读/写 Read/ write
0x05C3	JESD204B Swing Adjust 4 JESD204B 摆幅调整 4	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05C3	JESD204B Swing Adjust 4 JESD204B 摆幅调整 4	[6:4]	SERDOUT7±电压摆幅调节 SERDOUT7± voltage swing adjust	000 001 010	SERDOUT7±的输出摆幅电平。 Output swing level of SERDOUT7±. 1.0×DRVDD1。 0.850×DRVDD1。 0.750×DRVDD1。	0x0	读 Read
0x05C3	JESD204B Swing Adjust 4 JESD204B 摆幅调整 4	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05C3	JESD204B Swing Adjust 4 JESD204B 摆幅调整 4	[2:0]	SERDOUT6±电压摆幅调节 SERDOUT6± voltage swing adjust	000 001 010	SERDOUT6±的输出摆幅电平。 Output swing level of SERDOUT6±. 1.0×DRVDD1。 0.850×DRVDD1。 0.750×DRVDD1。	0x0	读/写 Read/ write
0x05C4	SERDOUT0 de-emphasis select SERDOUT0 去加重选择	7	后抽头启用 Post-tap enable	0 1	后抽头启用。 Post-tap enabled. 禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/ write
0x05C4	SERDOUT0 de-emphasis select SERDOUT0 去加重选择	[6:4]	设置 SERDOUT1±的后抽头电平 Set SERDOUT1± post-tap level	000 001 010 011 100	设置后抽头电平。 Set post-tap level. 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	读/写 Read/ write
0x05C4	SERDOUT0 de-emphasis select SERDOUT0 去加重选择	[3:0]	保留 Reserved		保留。 Reserved.	0x0	读/写 Read/ write
0x05C6	SERDOUT2 de-emphasis select SERDOUT2 去加重选择	7	后抽头启用 Post-tap enable	0 1	后抽头启用。 Post-tap enabled. 禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x05C6	SERDOUT2 de-emphasis select SERDOUT2 去加重选择	[6:4]	设置 SERDOUT2±的后抽头电平 Set SERDOUT2± post-tap level	000 001 010 011 100	设置后抽头电平。 Set post-tap level. 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	读/写 Read/write
0x05C6	SERDOUT2 de-emphasis select SERDOUT2 去加重选择	[3:0]	保留 Reserved		保留。 Reserved.	0x0	读/写 Read/write
0x05C7	SERDOUT3 de-emphasis select SERDOUT3 去加重选择	7	后抽头启用 Post-tap enable	0 1	后抽头启用。 Post-tap enabled. 禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/write
0x05C7	SERDOUT3 de-emphasis select SERDOUT3 去加重选择	[6:4]	设置 SERDOUT3±的后抽头电平 Set SERDOUT3± post-tap level	000 001 010 011 100	设置后抽头电平。 Set post-tap level. 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	读/写 Read/write
0x05C7	SERDOUT3 de-emphasis select SERDOUT3 去加重选择	[3:0]	保留 Reserved		保留。 Reserved.	0x0	读/写 Read/write
0x05C8	SERDOUT4 de-emphasis select SERDOUT4 去加重选择	7	后抽头启用 Post-tap enable	0 1	后抽头启用。 Post-tap enabled. 禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/write
0x05C8	SERDOUT4 de-emphasis select SERDOUT4 去加重选择	[6:4]	设置 SERDOUT4±的后抽头电平 Set SERDOUT4± post-tap level	000 001 010 011 100	设置后抽头电平。 Set post-tap level. 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	读/写 Read/write
0x05C8	SERDOUT4 de-emphasis select SERDOUT4 去加重选择	[3:0]	保留 Reserved		保留。 Reserved.	0x0	读/写 Read/write
0x05C9	SERDOUT5 de-emphasis select SERDOUT5 去加重选择	7	后抽头启用 Post-tap enable	0 1	后抽头启用。 Post-tap enabled. 禁用。 Disabled.	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					启用。 Enabled.		
0x05C9	SERDOUT5 de-emphasis select SERDOUT5 去加重选择	[6:4]	设置 SERDOUT5±的后抽头电平 Set SERDOUT5± post-tap level	000 001 010 011 100	设置后抽头电平。 Set post-tap level. 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	读/写 Read/ write
0x05C9	SERDOUT5 de-emphasis select SERDOUT5 去加重选择	[3:0]	保留 Reserved		保留。 Reserved.	0x0	读/写 Read/ write
0x05CA	SERDOUT6 preemphasis select SERDOUT6 预加重选择	7	后抽头启用 Post-tap enable	0 1	后抽头启用。 Post-tap enabled. 禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/ write
0x05CA	SERDOUT6 preemphasis select SERDOUT6 预加重选择	[6:4]	设置 SERDOUT6±的后抽头电平 Set SERDOUT6± post-tap level	000 001 010 011 100	设置后抽头电平。 Set post-tap level. 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	读/写 Read/ write
0x05CA	SERDOUT6 preemphasis select SERDOUT6 预加重选择	[3:0]	保留 Reserved		保留。 Reserved.	0x0	读/写 Read/ write
0x05CB	SERDOUT7 preemphasis select SERDOUT7 预加重选择	7	后抽头启用 Post-tap enable	0 1	后抽头启用。 Post-tap enabled. 禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/ write
0x05CB	SERDOUT7 preemphasis select SERDOUT7 预加重选择	[6:4]	设置 SERDOUT7±的后抽头电平 Set SERDOUT7± post-tap level	000 001 010 011 100	设置后抽头电平。 Set post-tap level. 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	读/写 Read/ write
0x05CB	SERDOUT7 preemphasis select SERDOUT7 预加重选择	[3:0]	保留 Reserved		保留。 Reserved.	0x0	读/写 Read/ write

© 2026 Shenzhen Shenxin Technology Co., Ltd.

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x1222	JESD204B PLL calibration JESD204B PLL 校准	[7:0]	JESD204B 锁相环校准复位 JESD204B PLL calibration reset	0x00 0x04	JESD204B 锁相环正常工作。 JESD204B PLL normal operation. 复位 JESD204B 锁相环校准。 Reset JESD204B PLL calibration.	0x0	读/写 Read/write
0x1228	JESD204B PLL startup control JESD204B PLL 启动控制	[7:0]	JESD204B 锁相环校准启动电路复位 JESD204B PLL calibration startup circuit reset	0x0F 0x4F	JESD204B 启动电路处于正常工作状态。 JESD204B startup circuit in normal operation. 复位 JESD204B 启动电路。 Reset JESD204B startup circuit.	0x0	读/写 Read/write
0x1262	JESD204B PLL LOL bit control JESD204B PLL 失锁位控制	[7:0]	JESD204B 锁相环失锁清除 JESD204B PLL loss-of-lock clear		丢失锁位正常工作。 Loss-of-lock bit normal operation. 清除丢失锁位。 Clear loss-of-lock bit.	0x0	读/写 Read/write

可编程滤波器（PFILT）控制和系数寄存器 / Programmable Filter (PFILT) Control and Coefficient Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0DF8	Programmable filter control 可编程滤波器控制	[7:3]	保留 Reserved		保留。 Reserved.	0x0	写 Write
0x0DF8	Programmable filter control 可编程滤波器控制	[2:0]	可编程滤波器模式 Programmable filter mode	000 001 010 100 101 110 111	PFILT 模式。星号()表示卷积。 PFILT mode. Asterisk () denotes convolution. 禁用（滤波器旁路）。 Disabled (filter bypassed). 单滤波器(仅 X)。DOUT_I[n]=DIN_I[n]X_I[n] DOUT_Q[n]=DIN_Q[n]X_Q[n] Single filter (X only). DOUT_I[n]=DIN_I[n]X_I[n] DOUT_Q[n]=DIN_Q[n]X_Q[n] 单滤波器(X 和 Y 一起)。DOUT_I[n]=DIN_I[n]XY_I[n] DOUT_Q[n]=DIN_Q[n]XY_Q[n] Single filter (X and Y together). DOUT_I[n]=DIN_I[n]XY_I[n] DOUT_Q[n]=DIN_Q[n]XY_Q[n] 级联滤波器（X 到 Y）。 DOUT_I[n]=DIN_I[n]X_I[n]Y_I[n] DOUT_Q[n]=DIN_Q[n]X_Q[n]Y_Q[n] DOUT_Q[n]=DIN_Q[n]X_Q[n]Y_Q[n] Cascaded filter (X to Y). DOUT_I[n]=DIN_I[n]X_I[n]Y_I[n] DOUT_Q[n]=DIN_Q[n]X_Q[n]Y_Q[n] DOUT_Q[n]=DIN_Q[n]X_Q[n]Y_Q[n]	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					复数滤波器。DOUT_I[n]=DIN_I[n]X_I[n] +DIN_Q[n]Y_Q[n] DOUT_Q[n]=DIN_Q[n]X_Q[n] +DIN_I[n]Y_I[n] Complex filter. DOUT_I[n]=DIN_I[n]X_I[n] +DIN_Q[n]Y_Q[n] DOUT_Q[n]=DIN_Q[n]X_Q[n] +DIN_I[n]Y_I[n] 半复数滤波器。DOUT_I[n]=DIN_I[n] DOUT_Q[n]=DIN_Q[n]XY_Q[n]+DIN_I[n]XY_I[n] Half-complex filter. DOUT_I[n]=DIN_I[n] DOUT_Q[n]=DIN_Q[n]XY_Q[n]+DIN_I[n]XY_I[n] 实数 96 抽头滤波器。DOUT_I[n]=DIN_I[n]XY_I[n]. DOUT_Q[n]=DIN_Q[n]XY_Q[n] Real 96-tap filter. DOUT_I[n]=DIN_I[n]XY_I[n]. DOUT_Q[n]=DIN_Q[n]XY_Q[n]		
0x0DF9	PFILT gain PFILT 增益	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0DF9	PFILT gain PFILT 增益	[6:4]	PFILT Y 增益 PFILT Y gain	110 111 000 001 010	PFILT Y 增益。 PFILT Y gain. −12 dB 损失。 −12 dB loss. −6 dB 损失。 −6 dB loss. −0 dB 损失。 −0 dB loss. +6 dB 损失。 +6 dB loss. +12 dB 损失。 +12 dB loss.	0x0	读/写 Read/ write
0x0DF9	PFILT gain PFILT 增益	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0DF9	PFILT gain PFILT 增益	[2:0]	PFILT X 增益 PFILT X gain	110 111 000 001 010	PFILT X 增益。 PFILT X gain. −12 dB 损失。 −12 dB loss. −6 dB 损失。 −6 dB loss. 0 dB 增益。 0 dB gain. +6 dB 增益。 +6 dB gain. +12 dB 增益。 +12 dB gain.	0x0	读/写 Read/ write
0x0E00 to 0x0E7F	Programmable Filter X Coefficient x 可编程滤波器 X 系数 x	[7:0]	可编程滤波器 X 系数 0 至 127 Programmable filter X coefficients 0 to 127			0x0	读/写 Read/ write
0x0F00 to 0x0F7F	Programmable Filter Y	[7:0]	可编程滤波器 Y 系数 0 至 127			0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	Coefficient x 可编程滤波器 Y 系数 x		Programmable filter Y coefficients 0 to 127				

VREF/模拟输入控制寄存器 / VREF/Analog Input Control Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0701	DC offset calibration control (local) DC 失调校准控制（本地）	[7:0]	DC 偏移校准控制 DC offset calibration control	0x06 0x86	禁用。 Disabled. 启用。 Enabled.	0x06	读/写 Read/write
0x073B	DC Offset Calibration Control 2 (local) DC 失调校准控制 2（本地）	[7:0]	DC 偏移校准累加器复位 DC offset calibration accumulator reset	0xB7 0x37	同步复位 dc 偏移校准累加器。 Synchronously reset the DC offset calibration accumulator. 累加器复位（用于 0x0701=0x06）。 Accumulator reset (for 0x0701=0x06). 累加器复位释放（用于 0x0701=0x86）。 Accumulator reset release (for 0x0701=0x86).	0xB7	读/写 Read/write
0x18A6	VREF control VREF 控制	[7:1]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x18A6	VREF control VREF 控制	0	VREF 控制 VREF control	0 1	内部基准时钟信号。 Internal reference clock signal. 外部基准时钟信号。 External reference clock signal.	0x0	读/写 Read/write
0x18E3	External VCM buffer control 外部 VCM 缓冲控制	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x18E3	External VCM buffer control 外部 VCM 缓冲控制	6	外部 VCM 缓冲 External VCM buffer	0 1	禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/write
0x18E3	External VCM buffer control 外部 VCM 缓冲控制	[5:0]	外部 VCM 缓冲[5:0] External VCM buffer[5:0]		参阅输入共模部分。 See the input common-mode section.	0x0	读/写 Read/write
0x18E6	Temperature diode export 温度二极管输出	[7:0]	温度二极管位置选择 Temperature diode location select	0x00 0x01 0x02 0x03 0x40 0x41 0x42 0x43 0x50	中央二极管输出。VREF 引脚=高电平-Z。 Central diode output. VREF pin = high-Z. 中央二极管输出。VREF 引脚=1x 二极管电压输出。 Central diode output. VREF pin = 1x diode voltage output. 中央二极管输出。VREF 引脚	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
				0x51 0x52 0x53	=20x 二极管电压输出。 Central diode output. VREF pin = 20x diode voltage output. 中央二极管输出。VREF 引脚=GND。 Central diode output. VREF pin = GND. 通道 A 二极管输出。VREF 引脚=高电平-Z。 Channel A diode output. VREF pin = high-Z. 通道 A 二极管输出。VREF 引脚=1x 二极管电压输出。 Channel A diode output. VREF pin = 1x diode voltage output. 通道 A 二极管输出。VREF 引脚=20x 二极管电压输出。 Channel A diode output. VREF pin = 20x diode voltage output. 通道 A 二极管输出。VREF 引脚=GND。 Channel A diode output. VREF pin = GND. 通道 B 二极管输出。VREF 引脚=高电平-Z。 Channel B diode output. VREF pin = high-Z. 通道 B 二极管输出。VREF 引脚=1x 二极管电压输出。 Channel B diode output. VREF pin = 1x diode voltage output. 通道 B 二极管输出。VREF 引脚=20x 二极管电压输出。 Channel B diode output. VREF pin = 20x diode voltage output. 通道 B 二极管输出。VREF 引脚=GND。 Channel B diode output. VREF pin = GND.		
0x1908	Analog input control (local) 模拟输入控制（本地）	[7:3]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x1908	Analog input control (local) 模拟输入控制（本地）	2	启用 dc 耦合 Enable DC coupling	0 1	为 ac 耦合优化模拟输入。 Analog input optimized for AC coupling. 为 dc 耦合优化模拟输入。 Analog input optimized for DC coupling.	0x0	读/写 Read/ write
0x1908	Analog input control (local) 模拟输入控制（本地）	[1:0]	保留 Reserved		保留。 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x1910	Input full-scale control (local) 输入满量程控制（本地）	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x1910	Input full-scale control (local) 输入满量程控制（本地）	[3:0]	满量程电压 Full-scale voltage	1000 1001 1101 1110 1111 0000	满量程电压设置。 Full-scale voltage setting. 1.13 V p-p 差分电压。 1.13 V p-p differential voltage. 1.25 V p-p 差分电压。 1.25 V p-p differential voltage. 1.7 V p-p 差分电压。 1.7 V p-p differential voltage. 1.81 V p-p 差分电压。 1.81 V p-p differential voltage. 1.93 V p-p 差分电压。 1.93 V p-p differential voltage. 2.04 V p-p 差分电压。 2.04 V p-p differential voltage.	0xD	读/写 Read/ write
0x1A48	High frequency setting (local) 高频设置（本地）	[7:0]	高频率设置 High frequency setting	0x54 0x94	第一、二个奈奎斯特区间配置。 First and second Nyquist zone configuration. 更高的奈奎斯特区间配置。 Higher Nyquist zone configuration.	0x54	读/写 Read/ write
0x1A4C	Buffer Control 1 (local) 缓冲器控制 1（本地）	[7:6]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x1A4C	Buffer Control 1 (local) 缓冲器控制 1（本地）	[5:0]	缓冲器控制1 Buffer control 1	001111 010100 011001 011110 100011 101000 101101 110010	输入缓冲器主电流 1。 Input buffer main current 1. 缓冲器电流设置为 300μA。 Buffer current set to 300μA. 缓冲器电流设置为 400μA。 Buffer current set to 400μA. 缓冲器电流设置为 500μA。 Buffer current set to 500μA. 缓冲器电流设置为 600μA。 Buffer current set to 600μA. 缓冲器电流设置为 700μA。 Buffer current set to 700μA. 缓冲器电流设置为 800μA。 Buffer current set to 800μA. 缓冲器电流设置为 900μA。 Buffer current set to 900μA. 缓冲器电流设置为 1000μA。 Buffer current set to 1000μA.	0x19	读/写 Read/ write
0x1A4D	Buffer Control 2 (local) 缓冲器控制 2（本地）	[7:6]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x1A4D	Buffer Control 2 (local)	[5:0]		001111 000100	输入缓冲器主电流 2。 Input buffer main current 2.	0x19	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	缓冲器控制 2（本地）		缓冲器控制2 Buffer control 2	001001 011110 100011 101000 101101 110010	缓冲器电流设置为 300μA。 Buffer current set to 300μA. 缓冲器电流设置为 400μA。 Buffer current set to 400μA. 缓冲器电流设置为 500μA。 Buffer current set to 500μA. 缓冲器电流设置为 600μA。 Buffer current set to 600μA. 缓冲器电流设置为 700μA。 Buffer current set to 700μA. 缓冲器电流设置为 800μA。 Buffer current set to 800μA. 缓冲器电流设置为 900μA。 Buffer current set to 900μA. 缓冲器电流设置为 1000μA。 Buffer current set to 1000μA.		读/写 Read/ write

电源地间保护 / Power-to-Ground Protection

To improve the device's ESD immunity, the device has the following ESD protection loops between its supply pins; the forward conduction voltage drop of each ESD protection transistor is approximately 0.35V. During power-up and normal use, prolonged forward conduction of these ESD protection transistors should be avoided.

为了提高器件的抗静电能力，器件内部的各电源引脚之间存在如下的静电保护回路，每个 ESD 保护管的正向导通压降约 0.35V，上电及正常使用中应避免这些 ESD 保护管长时间正向导通。

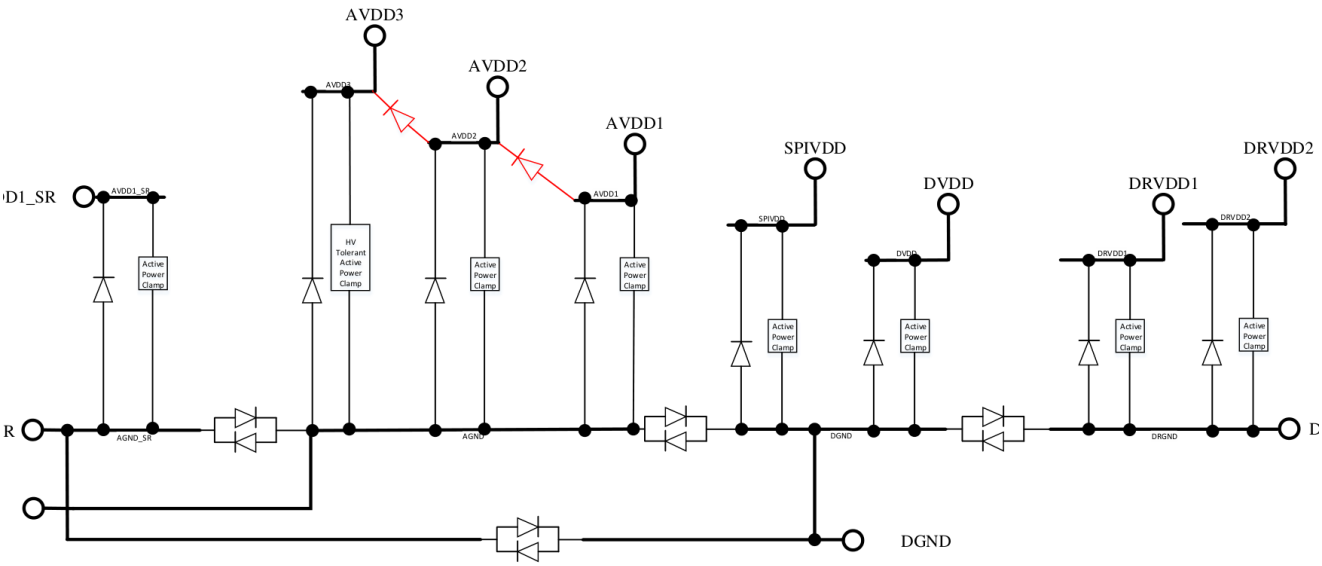


Figure 61: 内部电源间的 ESD 保护电路

注意事项 / Precautions

1、产品安装注意事项 / Product Installation Precautions

1) Pay attention to the device orientation during soldering to avoid mis-soldering. 1) 焊接时请注意器件方向，以免焊错。 2) Instruments and meters used for debugging circuits must have good common grounding. PCB design must ensure good grounding and power supply decoupling. 2) 调试电路所用的仪器、仪表一定要有良好的统一接地。PCB 板设计请务必保持接地良好、电源去耦。 3) Take care not to reverse the power supply or short the input/output terminals to the power supply, which can easily damage the circuit. 3) 应注意不要将电源接反及输入输出端与电源短路，易造成电路损坏。

2、产品使用注意事项 / Product Usage Precautions

1) Analog ground and digital ground should be kept isolated to avoid digital signals flowing through analog ground and causing analog noise. Analog ground and digital ground are not connected internally; for the device to work, they must be connected externally. This connection is made at a single point, and should be as close to the device as possible. 1) 模拟地和数字地应该保持隔离，以避免数字信号流经模拟地导致模拟噪声。模拟地和数字地在内部是不相连的，为了使器件工作，它们必须在外部相连接。这个连接点仅是一点相连，并且要尽可能靠近器件。 2) After power-on, it is recommended to reset the circuit first before use. 2) 推荐上电后首先对电路进行复位，再进行使用。 3) Pay attention to the ambient temperature in actual use, and ensure heat dissipation. 3) 建议实际使用时关注环境温度，并注意散热。 4) At power-on, configure register 0x01 to 0x02 for soft reset. 4) 上电需配置 0x01 寄存器为 0x 02 进行软复位。 5) Keep the input signal within 2.8Vpp; the ESD diodes will not conduct, and there is no thermal burnout risk. 5) 输入信号控制在 2.8Vpp 之内，ESD 二极管不会导通，不存在热烧毁风险。 6) Under default configuration, idle sampling of the input signal: units with offset greater than 168LSB may be rejected. 6) 在默认配置下对输入信号进行空采，失调大于 168LSB 的可予以剔除。

3、产品防护注意事项 / Product Protection Precautions

1) Static charge easily accumulates on the human body and test equipment, and may discharge without being noticed. Although this product has dedicated ESD protection circuits, permanent device damage may occur in the event of high-energy electrostatic discharge. Therefore, appropriate ESD precautions are recommended to avoid device performance degradation or loss of function. 1) 静电电荷很容易在人体和测试设备上累积，并可能在没有察觉的情况下放电。尽管本产品具有专用 ESD 保护电路，但在遇到高能量静电放电时，可能会发生永久性器件损坏。因此，建议采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。 2) Exceeding the absolute maximum ratings may cause permanent damage to the device. These are only maximum ratings and do not indicate that the device can operate normally under these conditions or under any other conditions beyond those shown in this product manual. Prolonged operation at absolute maximum rating conditions affects device reliability. 2) 超出绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本产品手册中所示的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。 3) Plastic-packaged circuits are prone to moisture absorption leading to delamination; keep the surrounding environment dry during use, and store in vacuum packaging in a room-temperature, dry environment. 3) 塑封电路易吸潮导致分层，使用时应注意保持周围环境干燥，存储时应真空包装储存于常温、干燥环境下。

4、电装说明 / Assembly Instructions

1) The moisture sensitivity level of this product is MSL3. The allowable time exposed to the external environment after removing the product from the moisture-barrier bag, dry storage, or baking, before reflow soldering is: ≤30°C/60RH%, 168h. 1) 本产品潮湿敏感等级为 MSL3，将产品从防潮袋中取出、进行干燥储存或烘干后到回流焊前所暴露在外部环境的允许时间为：≤30°C/60RH%，168h。 2) If device storage conditions cannot be controlled or traced, strictly perform baking at 125°C for 8h before assembly. 2) 若器件储存条件无法控制或追溯，请在电装前严格执行 125°C，8h 烘烤。 3) If the assembly environment temperature and humidity cannot be guaranteed ≤30°C/60RH%, complete soldering within 12h after baking. 3) 若电装环境温湿度无法保证≤30°C/60RH%，请在烘烤后 12h 内完成焊接。 4) After baking, the product is very prone to static electricity; ESD protection must be observed throughout all operations. 4) 产品烘烤后，极易产生静电，所有操作过程需要注意 ESD 防护。 5) For board-level assembly using leaded reflow soldering (Sn63Pb37), the recommended peak temperature range is 210°C~235°C, the maximum peak temperature should not exceed 235°C, dwell time within ±5°C of peak temperature ≤20s, time above liquidus 60~90s. Ramp-up rate 2~4°C/s, ramp-down rate ≤2°C~6°C. 5) 板级组装采用有铅回流焊（Sn63Pb37）时，推荐峰值温度范围 210°C~235°C，最大峰值温度不建议超过 235°C，峰值温度±5°C以内停留时间≤20s，液相线以上停留时间 60~90s。升温速率 2~4°C/s，降温速率≤2°C~6°C； 6) For board-level assembly using lead-free reflow soldering (SAC305), the recommended peak temperature range is 230°C~245°C, the maximum peak temperature should not exceed 260°C, dwell time within ±5°C of peak temperature ≤20s, time above liquidus 60~90s. Ramp-up rate 2~4°C/s, ramp-down rate ≤2°C~6°C. 6) 板级组装采用无铅回流焊（SAC305）时，推荐峰值温度范围 230°C~245°C，最大峰值温度不建议超过 260°C，峰值温度±5°C以内停留时间≤20s，液相线以上停留时间 60~90s。升温速率 2~4°C/s，降温速率≤2°C~6°C； 7) If a mixed assembly process requires higher temperatures, ensure the device body temperature does not exceed 260°C. (The device body temperature measurement point is on the top surface of the device during reflow.) 7) 若混合电装工艺需要温度升高，应保证器件本体温度最高不超过 260°C。（器件本体温度测量点位于回流焊时器件上表面） 8) This product uses lead-free solder balls, material SAC305. 8) 本产品采用无铅焊球，材料为 SAC305。

5、热阻 / Thermal Resistance

表25 / Table 25 — 封装热阻 / Package Thermal Resistance

项目 / Item	实测值 / Measured Value	依据标准及方法 / Standard and Method
Rthja（结到环境的热阻）/ Rthja (junction-to-ambient thermal resistance)	19.06 K/W	JESD51-2 集成电路自然对流热测试 / JESD51-2 natural convection thermal test for integrated circuits
环境要求及测试方法 / Environmental Requirements and Test Methods		
Rthjt(结到器件顶面的热阻) / Rthjt (junction-to-package-top thermal resistance)	2.09 K/W	JESD51-14 一维传热路径双界面分离法 / JESD51-14 one-dimensional heat transfer path dual-interface separation method
Rthj-bottom（结到器件底面的热阻）/ Rthj-bottom (junction-to-package-bottom thermal resistance)	3.02 K/W	JESD51-14 拐点理论器件内部结构分层得到 / JESD51-14 inflection-point theory applied to layered internal device structure

常见故障及处理办法 / Common Faults and Troubleshooting

1. No signal output: check whether the power supply voltage, input signal, and clock are loaded correctly.
2. 无信号输出：检查电源电压、输入信号、时钟是否正确加载。
3. Device function abnormal: clarify the device operating mode and confirm the configuration is correct.
4. 器件功能不正常：明确器件工作模式，确认配置是否正确。
5. Device operation unstable: check the power supply to ensure stable supply voltage.
6. 器件工作不稳定：检查电源，保证电源电压稳定。

联系方式 / Contact Information

Manufacturer: Shenzhen Shenxin Technology Co., Ltd. / 深信科技

生产单位：深信科技

Contact: Felix (Flip) Lai, CEO

联系人：Felix (Flip) Lai, CEO

Email: felix@shenxinic.com

邮箱：felix@shenxinic.com

Phone: +852 51367095

电话：+852 51367095

Website: shenxinic.com

官网：shenxinic.com

附加说明 / Additional Notes

1. This manual was first published: July 2026. 1、本说明书首次发布日期：2026 年 7 月。
2. Product status: ☑ Production (this product model is currently in production; formal products can be supplied). 2、本产品状态：☑ 生产（该产品型号目前已在生产，可以提供正式产品）
3. Notes on alternative to imported devices: 3、替代进口器件情况说明： This product can replace foreign products; pin definitions and register configurations are compatible, and functional descriptions can also refer to foreign product datasheets (except for the following registers: register 0x111, where the delay line control step size has been adjusted; register 1A48, which is also configured as 54 in the first Nyquist zone). 本产品可替换国外产品，引脚定义和寄存器配置兼容，功能描述也可以参考国外产品数据手册（以下寄存器除外，0x111 寄存器，延迟线控制步长做了一定调整；1A48 寄存器在第一奈奎斯特区也配置为 54）。

1) Absolute maximum ratings comparison.

1）绝对最大额定值对比

附表1 / Appendix Table 1 — 绝对最大额定值对比 / Absolute Maximum Ratings Comparison

参数 / Parameter	采购规范要求 / Procurement Specification Requirements	国外产品手册 / Foreign Product Manual	比对结果 / Comparison Result
VAVDD1	1.05V	1.05V	一致 / Match
VAVDD1_SR	1.05V	1.05V	一致 / Match
VAVDD2	2.0V	2.0V	一致 / Match
VAVDD3	2.7V	2.7V	一致 / Match
VDVDD	1.05V	1.05V	一致 / Match
VDRVDD1	1.05V	1.05V	一致 / Match
VDRVDD2	2.0V	2.0V	一致 / Match
VSPIVDD	2.0V	2.0V	一致 / Match
AGND to DRGND	-0.3V to 0.3V	-0.3V to 0.3V	一致 / Match
AGND to DGND	-0.3V to 0.3V	-0.3V to 0.3V	一致 / Match
DGND to DRGND	-0.3V to 0.3V	-0.3V to 0.3V	一致 / Match
VIN to AGND	AGND-0.3V to VAVDD3+ 0.3V	AGND-0.3V to VAVDD3+ 0.3V	一致 / Match
CLK to AGND	AGND-0.3V to VAVDD1+ 0.3V	AGND-0.3V to VAVDD1+ 0.3V	一致 / Match
SCLK,SDIO,CSB to AGND	DGND-0.3V to VSPIVDD+ 0.3V	DGND-0.3V to VSPIVDD+ 0.3V	一致 / Match
PDWN/STBY to AGND	DGND-0.3V to VSPIVDD+ 0.3V	DGND-0.3V to VSPIVDD+ 0.3V	一致 / Match
SYSREF to AGND	2.5V	2.5V	一致 / Match
SYNCINB to AGND	2.5V	2.5V	一致 / Match

2) Recommended operating conditions comparison.

2）推荐工作条件对比

附表2 / Appendix Table 2 — 推荐工作条件对比 / Recommended Operating Conditions Comparison

参数 / Parameter	采购规范要求 / Procurement Specification Requirements	国外产品器件手册 / Foreign Product Device Manual	比对结果 / Comparison Result
电源电压（VAVDD1）to AGND / Supply voltage (VAVDD1) to AGND	0.97V~1.02V	0.95V~1.0V	有差异 / Differs
电源电压（VAVDD1_SR）to AGND / Supply voltage (VAVDD1_SR) to AGND	0.97V~1.02V	0.95V~1.0V	有差异 / Differs
电源电压（VAVDD2）to AGND / Supply voltage (VAVDD2) to AGND	1.85V~1.95V	1.85V~1.95V	一致 / Match
电源电压（VAVDD3）to AGND / Supply voltage (VAVDD3) to AGND	2.44V~2.56V	2.44V~2.56V	一致 / Match
	0.97V~1.02V	0.95V~1.0V	有差异 / Differs

参数 / Parameter	采购规范要求 / Procurement Specification Requirements	国外产品器件手册 / Foreign Product Device Manual	比对结果 / Comparison Result
电源电压（VDVDD）to AGND / Supply voltage (VDVDD) to AGND			
电源电压（VDRVDD1）to AGND / Supply voltage (VDRVDD1) to AGND	0.97V~1.02V	0.95V~1.0V	有差异 / Differs
电源电压（VDRVDD2）to AGND / Supply voltage (VDRVDD2) to AGND	1.85V~1.95V	1.85V~1.95V	一致 / Match
电源电压（VSPIVDD）to AGND / Supply voltage (VSPIVDD) to AGND	1.85V~1.95V	1.85V~1.95V	一致 / Match
工作温度范围 / Operating temperature range	-40°C≤TC≤85°C	-40°C≤TA≤85°C	有差异 / Differs

From the recommended operating conditions comparison, some supply voltages differ slightly from the foreign product.

通过推荐工作条件对比可知，部分电源电压与国外产品稍有差异。

3) Electrical characteristics comparison.

3）电特性对比

The conformance of the device technical specifications with the foreign product manual is shown in Appendix Table 3.

器件技术指标与国外产品手册的符合性见附表 3。

From Appendix Table 3, there are certain differences between the device procurement specification requirements and the foreign product device manual.

从附表 3 中可看出，器件采购规范要求与国外产品器件手册存在一定差异。

附表3 / Appendix Table 3 — 电特性对比 / Electrical Characteristics Comparison

Conditions (unless otherwise specified): VAVDD1=1V, VAVDD1_SR=1V, VAVDD2=1.9V, VAVDD3=2.5V, VDVDD=1V, VDRVDD1=1V, VDRVDD2=1.9V, VSPIVDD=1.9V, AGND = DGND=DRGND=0V, FS=2600MSPS, -40°C≤TC≤85°C.

条件（除另有规定外）：VAVDD1=1V, VAVDD1_SR=1V, VAVDD2=1.9V, VAVDD3=2.5V, VDVDD=1V, VDRVDD1=1V, VDRVDD2=1.9V, VSPIVDD=1.9V, AGND = DGND=DRGND=0V, FS＝2600MSPS，-40°C≤TC≤85°C。

特性 / Characteristic	符号 / Symbol	条件 / Conditions	采购规范要求 / Procurement Specification Requirements		国外产品手册 / Foreign Product Manual			单位 / Unit
			最小 / Min	最大 / Max	最小 / Min	典型 / Typ	最大 / Max	
分辨率 / Resolution	RES	—		14		14		Bits
功耗 / Power dissipation	PW	—	—	4.2		3.1		W
掉电功耗 / Power-down power	PD	—	—	500		300		mW
信噪比 / SNR	SNR	fIN=255MHz，-2.0dBFS	54	—	—	—	—	dBFS
		fIN=1.6GHz，-2.0dBFS	52	—	—	—	—	dBFS
		fIN=1.8GHz，-2.0dBFS	52	—	56	59.7	—	dBFS
信噪失真比 / SINAD	SINAD	fIN=255MHz，-2.0dBFS	53	—	—	—	—	dBFS
		fIN=1.6GHz，-2.0dBFS	51	—	—	—	—	dBFS
		fIN=1.8GHz，-2.0dBFS	51	—	52.4	59.4	—	dBFS
无杂散动态范围 / SFDR	SFDR	fIN=255MHz，-2.0dBFS	56	—	—	—	—	dBFS
		fIN=1.6GHz，-2.0dBFS	56	—	—	—	—	dBFS
		fIN=1.8GHz，-2.0dBFS	56	—	58	73	—	dBFS
二阶谐波 / Second harmonic	HD2	fIN=255MHz，-2.0dBFS	—	-56	—	—	—	dBFS
		fIN=1.6GHz，-2.0dBFS	—	-56	—	—	—	dBFS
		fIN=1.8GHz，-2.0dBFS	—	-56	—	—	—	dBFS

特性 / Characteristic	符号 / Symbol	条件 / Conditions	采购规范要求 / Procurement Specification Requirements		国外产品手册 / Foreign Product Manual			单位 / Unit
三阶谐波 / Third harmonic	HD3	fIN=255MHz，-2.0dBFS	—	-56	—	—	—	dBFS
		fIN=1.6GHz，-2.0dBFS	—	-56	—	—	—	dBFS
		fIN=1.8GHz，-2.0dBFS	—	-56	—	—	—	dBFS
有效位数 / ENOB	ENOB	fIN=255MHz，-2.0dBFS	8.5	—	—	—	—	Bits
		fIN=1.6GHz，-2.0dBFS	8.1	—	—	—	—	Bits
		fIN=1.8GHz，-2.0dBFS	8.1		8.4	9.6	—	Bits

JESD204B Lane 速率 / JESD204B Lane rate	fSDATA		—	13	—	—	13	Gbps
JESD204B Lane 通道数 / JESD204B Lane count	L		—	8	—	—	8	Lane
CSB 逻辑 1 电压 / CSB logic 1 voltage	VIH,CSB		1.2	—	1.2	—	—	V
CSB 逻辑 0 电压 / CSB logic 0 voltage	VIL,CSB		—	0.6	—	—	0.6	V
SCLK 逻辑 1 电压 / SCLK logic 1 voltage	VIH,SCLK		1.2	—	1.2	—	—	V
SCLK 逻辑 0 电压 / SCLK logic 0 voltage	VIL,SCLK		—	0.6	—	—	0.6	V
SDIO 逻辑 1 电压 / SDIO logic 1 voltage	VIH,SDIO		1.2	—	1.2	—	—	V
SDIO 逻辑 0 电压 / SDIO logic 0 voltage	VIL,SDIO		—	0.6	—	—	0.6	V
时钟输入频率 / Clock input frequency	fclk		—	2600	—	—	2600	MHz
采样频率 / Sampling frequency	FS		—	2.6	—	—	2.6	GSPS

4) Other specifications comparison.

4）其它指标对比

The comparison of Shenzhen Shenxin Technology Co., Ltd. device dimensions with the corresponding foreign product device dimensions is shown in Appendix Table 4; the table shows that the package dimensions can achieve effective replacement.

深信科技器件尺寸与对应国外产品器件尺寸对比见附表 4，从表中可以看出封装尺寸上可实现有效替换。

附表4 / Appendix Table 4 — 实测器件尺寸对比表 / Measured Device Dimension Comparison Table

型号 / Model	样品（L×W×H) / Sample (L×W×H)	对比结果 / Comparison Result
SXA018	12mm x 12mm x 1.82mm	长宽一致、高度略有差异 / Length and width match
国外产品 / Foreign product	12mm x 12mm x 1.42mm	